

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-236074

(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 11-309114

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.10.1999

(72)Inventor : OYU SHIZUNORI

OGISHIMA JUNJI

TSUCHIYA OSAMU

TADAKI YOSHITAKA

WATABE KOZO

UCHIYAMA HIROYUKI

IKEDA YOSHIHIRO

OKAZAKI TSUTOMU

ASAKURA HISAO

KAWAKITA KEIZO

SHIGENIWA MASAHIRO

KUBOTA KATSUHIKO

KUJIRAI YUTAKA

KAJITANI KAZUHIKO

NAGASHIMA YASUSHI

NAKAMURA MASAYUKI

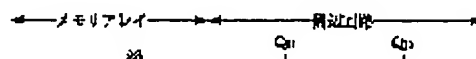
(30)Priority

Priority number : 10359842 Priority date : 17.12.1998 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly reliable DRAM by obtaining a desired threshold voltage in a memory cell and at the same time improving refresh characteristics.



SOLUTION: A threshold voltage of 1.1 V of a memory cell selecting MISFET (Qs) is obtained by forming a p-type semiconductor region 27 and n--type semiconductor regions 8a, 8b whose impurity concentration is relatively high in a p-type well 4 on a data line side of the memory cell selecting MISFET (Qs). Junction field strength near the end part at an information storing capacity element side of a gate electrode 7a is reduced, by not forming the p-type semiconductor region 27 in the p-type well 4 at an information storing capacity element side but by forming the n--type semiconductor region 8b whose impurity concentration is relatively low.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-236074

(P2000-236074A)

(43) 公開日 平成12年8月29日 (2000.8.29)

(51) Int.Cl.⁷

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

テーマコード(参考)

6 2 1 B 5 F 0 8 3

審査請求 未請求 請求項の数52 O L (全 34 頁)

(21) 出願番号 特願平11-309114

(22) 出願日 平成11年10月29日 (1999. 10. 29)

(31) 優先権主張番号 特願平10-359842

(32) 優先日 平成10年12月17日 (1998. 12. 17)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大湯 静憲

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者 荻島 淳史

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

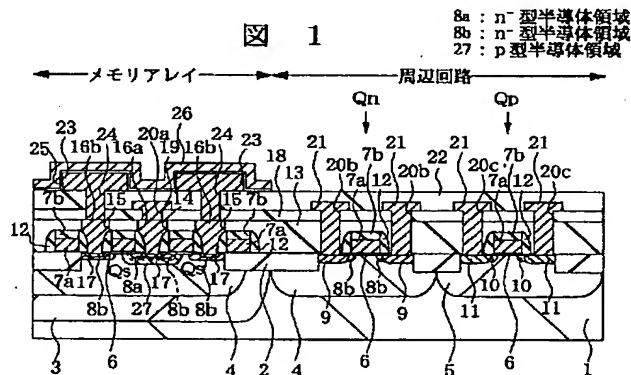
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 メモリセルにおいて所望するしきい値電圧を得ると同時に、リフレッシュ特性を向上させて、高信頼度のDRAMを実現することのできる技術を提供する。

【解決手段】 メモリセル選択用MISFETQsのデータ線側のp型ウェル4にp型半導体領域27および不純物濃度が相対的に高いn⁻型半導体領域8a、8bを形成することによって、メモリセル選択用MISFETQsの1.1Vのしきい値電圧を得ると同時に、情報蓄積用容量素子側のp型ウェル4にp型半導体領域27を形成せず、また不純物濃度が相対的に低いn⁻型半導体領域8bを形成することによって、ゲート電極7aの情報蓄積用容量素子側の端部近傍における接合電界強度を低減する。



【特許請求の範囲】

【請求項 1】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域の上方に前記容量素子が形成されており、

前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の半導体基板の表面濃度が、前記メモリセル選択用MISトランジスタの容量素子側の半導体基板の表面濃度よりも相対的に高いことを特徴とする半導体集積回路装置。

【請求項 2】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域の上方に前記容量素子が形成されており、

前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の半導体基板の表面濃度が、前記メモリセル選択用MISトランジスタの容量素子側の半導体基板の表面濃度よりも相対的に高く、

さらに、前記メモリセルの周囲に設けられた回路にMISトランジスタが形成されており、

前記MISトランジスタのソース、ドレインを構成する一方の低濃度半導体領域の不純物濃度と前記MISトランジスタのソース、ドレインを構成する他方の低濃度半導体領域の不純物濃度とが同じであることを特徴とする半導体集積回路装置。

【請求項 3】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記メモリセル選

他方の第2低濃度半導体領域の上方に前記容量素子が形成されており、

前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度と前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度がゲート電極を挟んで異なり、および前記メモリセル選択用MISトランジスタが形成された半導体基板の表面濃度がゲート電極を挟んで異なり、

10 さらに、前記メモリセルの周囲に設けられた回路にMISトランジスタが形成されており、

前記MISトランジスタのソース、ドレインを構成する一方の低濃度半導体領域の不純物濃度と前記MISトランジスタのソース、ドレインを構成する他方の低濃度半導体領域の不純物濃度がゲート電極を挟んで同じであり、前記MISトランジスタが形成された半導体基板の表面濃度がゲート電極を挟んで同じであることを特徴とする半導体集積回路装置。

【請求項 4】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域の上方に前記容量素子が形成されており、

前記メモリセル選択用MISトランジスタが形成された半導体基板の表面に、前記半導体基板と同じ導電型の不純物によって構成され、その表面濃度が前記半導体基板の表面濃度よりも相対的に高い不純物表面層が設けられており、

前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高いことを特徴とする半導体集積回路装置。

【請求項 5】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記第1低濃度半導体領域を囲んで前記第1低濃度半導体領域と異なる導電型の不純物によって構成された第1半導体領域が形成され、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域の上方に前記容量素子が形成されており、

前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が 前記メモ

リセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の表面濃度が、前記メモリセル選択用MISトランジスタの容量素子側の半導体基板の表面濃度よりも相対的に高いことを特徴とする半導体集積回路装置。

【請求項6】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記第1低濃度半導体領域を囲んで前記第1低濃度半導体領域と異なる導電型の不純物によって構成された第1半導体領域が形成され、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域の上方に前記容量素子が形成され、前記第2低濃度半導体領域を囲んで前記第2低濃度半導体領域と異なる導電型の不純物によって構成された第2半導体領域が形成されており、

前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2半導体領域の不純物濃度よりも相対的に高いことを特徴とする半導体集積回路装置。

【請求項7】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用MISトランジスタのゲート電極の側壁に設けられたサイドウォールスペーサ下のデータ線側の半導体基板に、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインの構成する一方の第1低濃度半導体領域、および前記第1低濃度半導体領域と異なる導電型によって構成された第1半導体領域が順に形成されており、前記サイドウォールスペーサ下の容量素子側の半導体基板に、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域が形成されており、

前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の表面濃度が、前記メモリセル選

択用MISトランジスタの容量素子側の半導体基板の表面濃度よりも相対的に高いことを特徴とする半導体集積回路装置。

【請求項8】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用MISトランジスタのゲート電極の側壁に設けられたサイドウォールスペーサ下のデータ線側の半導体基板に、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域、および前記第1低濃度半導体領域と異なる導電型によって構成された第1半導体領域が順に形成されており、前記サイドウォールスペーサ下の容量素子側の半導体基板に、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域、および前記第2低濃度半導体領域と異なる導電型によって構成された第2半導体領域が形成されており、

前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2半導体領域の不純物濃度よりも相対的に高いことを特徴とする半導体集積回路装置。

【請求項9】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記半導体基板の表面に設けられた一方の高濃度半導体領域と前記メモリセル選択用MISトランジスタのチャネル領域との間のデータ線側の半導体基板に、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域、および前記第1低濃度半導体領域と異なる導電型によって構成された第1半導体領域が順に形成されており、前記半導体基板の表面に設けられた他方の高濃度半導体領域と前記メモリセル選択用MISトランジスタのチャネル領域との間の容量素子側の半導体基板に、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域が形成されており、

前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の表面濃度が、前記メモリセル選

択用MISトランジスタの容量素子側の半導体基板の表面濃度よりも相対的に高いことを特徴とする半導体集積回路装置。

【請求項10】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、前記半導体基板の表面に設けられた一方の高濃度半導体領域と前記メモリセル選択用MISトランジスタのチャネル領域との間のデータ線側の半導体基板に、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域、および前記第1低濃度半導体領域と異なる導電型によって構成された第1半導体領域が順に形成されており、前記半導体基板の表面に設けられた他方の高濃度半導体領域と前記メモリセル選択用MISトランジスタのチャネル領域との間の容量素子側の半導体基板には、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域、および前記第2低濃度半導体領域と異なる導電型によって構成された第2半導体領域が順に形成されており、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2半導体領域の不純物濃度よりも相対的に高いことを特徴とする半導体集積回路装置。

【請求項11】 請求項2または3記載の半導体集積回路装置において、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度は、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用MISトランジスタのチャネルと同じ導電型のチャネルを有する何れかのMISトランジスタのソース、ドレインを構成する一対の低濃度半導体領域の不純物濃度と同じであることを特徴とする半導体集積回路装置。

【請求項12】 請求項2または3記載の半導体集積回路装置において、前記メモリセル選択用MISトランジスタの容量素子側の半導体基板の表面濃度は、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用MISトランジスタのチャネルと同じ導電型のチャネルを有する何れかのMISトランジスタが形成された半導体基板の表面濃度と同じであることを特徴とする半導体集積回路装置。

【請求項13】 請求項2または3記載の半導体集積回路装置において、前記メモリセル選択用MISトランジスタのデータ線側の半導体基板の表面濃度が、メモリヤ

ルの周囲に設けられた回路に形成されて前記メモリセル選択用MISトランジスタのチャネルと同じ導電型のチャネルを有する何れかのMISトランジスタに設けられたポケット領域の表面濃度と同じであることを特徴とする半導体集積回路装置。

【請求項14】 請求項1から8のいずれか1項に記載の半導体集積回路装置において、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域および前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の上部に、前記第1低濃度半導体領域または前記第2低濃度半導体領域と同じ導電型の不純物によって構成され、その不純物濃度が前記第1低濃度半導体領域または前記第2の低濃度半導体領域の不純物濃度よりも相対的に高い高濃度半導体領域が形成されていることを特徴とする半導体集積回路装置。

【請求項15】 請求項1から10のいずれか1項に記載の半導体集積回路装置において、前記メモリセル選択用MISトランジスタのゲート絶縁膜と前記半導体基板との界面に、窒素またはフッ素が含まれていることを特徴とする半導体集積回路装置。

【請求項16】 請求項1から10のいずれか1項に記載の半導体集積回路装置において、前記メモリセル選択用MISトランジスタのチャネル領域には、しきい値電圧調整用の不純物が導入されていないことを特徴とする半導体集積回路装置。

【請求項17】 請求項1から10のいずれか1項に記載の半導体集積回路装置において、前記メモリセル選択用MISトランジスタのチャネル領域には、しきい値電圧調整用の不純物が導入されており、前記メモリセル選択用MISトランジスタのチャネル領域の不純物濃度は、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用MISトランジスタのチャネルと同じ導電型のチャネルを有する何れかのMISトランジスタのチャネル領域の不純物濃度と同じか、またはそれ以下であることを特徴とする半導体集積回路装置。

【請求項18】 請求項5から10のいずれか1項に記載の半導体集積回路装置において、前記第1低濃度半導体領域および前記第2低濃度半導体領域はn型不純物によって構成され、前記第1半導体領域はp型不純物によって構成されることを特徴とする半導体集積回路装置。

【請求項19】 請求項5から10のいずれか1項に記載の半導体集積回路装置において、前記第1低濃度半導体領域は砒素、あるいは砒素およびリンによって構成され、前記第2低濃度半導体領域はリンによって構成されることを特徴とする半導体集積回路装置。

【請求項20】 請求項5から10のいずれか1項に記載の半導体集積回路装置において、前記第1低濃度半導体領域は砒素、あるいは砒素およびリンによって構成され、前記第2低濃度半導体領域はリンによって構成さ

れ、前記第1半導体領域はボロンによって構成されることを特徴とする半導体集積回路装置。

【請求項21】 請求項1から20のいずれか1項に記載の半導体集積回路装置において、前記メモリセルが、メモリセル選択用MISトランジスタと、これに直列に接続された情報蓄積用容量素子とで構成されるDRAMセルであることを特徴とする半導体集積回路装置。

【請求項22】 請求項1から20のいずれか1項に記載の半導体集積回路装置において、前記メモリセルの周囲に設けられた回路は、DRAMの周辺回路またはロジック混載形DRAMの論理回路であることを特徴とする半導体集積回路装置。

【請求項23】 請求項1から20のいずれか1項に記載の半導体集積回路装置において、前記メモリセルは、ダブル・デンシティ・パッケージに実装された半導体チップの回路形成面に形成されていることを特徴とする半導体集積回路装置。

【請求項24】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形成する半導体集積回路装置の製造方法であって、
(a). 前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の半導体基板上に、前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、
(b). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、
(c). 前記メモリセル選択用MISトランジスタの容量素子側の半導体基板に、前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第3不純物イオンを注入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項25】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形成する半導体集積回路装置の製造方法であって、
(a). 前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の半導体基板上に、前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、
(b). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、
(c). 前記メモリセル選択用MISトランジスタのデータ線側および容量素子側の半導体基板に、前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第3不純物イオンを注入する工程とを

有することを特徴とする半導体集積回路装置の製造方法。

【請求項26】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形成する半導体集積回路装置の製造方法であって、
(a). 前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の半導体基板上に、前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、
(b). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、
(c). 前記メモリセル選択用MISトランジスタのデータ線側および容量素子側の半導体基板と、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用MISトランジスタのチャネルと同じ導電型のチャネルを有する何れかのMISトランジスタが形成される半導体基板とに、前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第3不純物イオンを注入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項27】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形成する半導体集積回路装置の製造方法であって、
(a). 前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の半導体基板上に、前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、
(b). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、
(c). 前記メモリセル選択用MISトランジスタの容量素子側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第3不純物イオンおよび前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の第4不純物イオンを注入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項28】 半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形成する半導体集積回路装置の製造方法であって、
(a). 前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の半導体基板上に、前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、
(b). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、
(c). 前記メモリセル選択用MISトランジスタの容量素子側の半導体基板に、前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第3不純物イオンを注入する工程とを

I S トランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用M I S トランジスタのチャネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用M I S トランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、(c). 前記メモリセル選択用M I S トランジスタのデータ線側および容量素子側の半導体基板に、前記メモリセル選択用M I S トランジスタのチャネルと同じ導電型の第3不純物イオンを注入する工程と、(d). 前記メモリセル選択用M I S トランジスタの上層に形成された絶縁膜を加工して、データ線を接続するための第1コンタクトホールおよび前記容量素子を接続するための第2コンタクトホールを前記半導体基板に接して形成する工程と、(e). 前記第1コンタクトホールおよび第2コンタクトホールを通して、前記半導体基板に前記メモリセル選択用M I S トランジスタのチャネルと同じ導電型の不純物イオンを注入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項29】 半導体基板上にメモリセル選択用M I S トランジスタと容量素子とが直列接続されたメモリセルを形成する半導体集積回路装置の製造方法であって、(a). 前記メモリセル選択用M I S トランジスタのチャネルと異なる導電型の半導体基板上に、前記メモリセル選択用M I S トランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、(b). 前記メモリセル選択用M I S トランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用M I S トランジスタのチャネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用M I S トランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、(c). 前記メモリセル選択用M I S トランジスタのデータ線側および容量素子側の半導体基板に、前記メモリセル選択用M I S トランジスタのチャネルと同じ導電型の第3不純物イオンを注入する工程と、(d). 前記メモリセル選択用M I S トランジスタの上層に形成された絶縁膜を加工して、データ線を接続するための第1コンタクトホールおよび前記容量素子を接続するための第2コンタクトホールを前記半導体基板に接して形成する工程と、(e). 前記第1コンタクトホールおよび前記第2コンタクトホールに、前記メモリセル選択用M I S トランジスタのチャネルと同じ導電型の導電膜を埋め込み、前記導電膜に添加された不純物を前記メモリセル選択用M I S トランジスタのデータ側および容量素子側の半導体基板へ拡散させる工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項30】 半導体基板上にメモリセル選択用M I S トランジスタと容量素子とが直列接続されたメモリセルを形成する半導体集積回路装置の製造方法であって、(a). 前記メモリセル選択用M I S トランジスタのチャネルと異なる導電型の半導体基板の表面近傍に、前記メモ

リセル選択用M I S トランジスタのチャネルと異なる導電型の第1不純物イオンを注入する工程と、(b). 前記メモリセル選択用M I S トランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、(c). 前記メモリセル選択用M I S トランジスタのデータ線側の半導体基板のみに、前記メモリセル選択用M I S トランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、(d). 前記メモリセル選択用M I S トランジスタの容量素子側の半導体基板のみに、前記メモリセル選択用M I S トランジスタのチャネルと同じ導電型の第3不純物イオンを注入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項31】 請求項24から29のいずれか1項に記載の半導体集積回路装置の製造方法において、前記第1不純物イオンは、斜め方向からのイオン打ち込みによって注入されることを特徴とする半導体集積回路装置の製造方法。

【請求項32】 請求項24から29のいずれか1項に記載の半導体集積回路装置の製造方法において、前記第1不純物イオンは、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用M I S トランジスタのチャネルと同じ導電型のチャネルを有する何れかのM I S トランジスタが形成される半導体基板に、ポケット領域を形成するために注入されることを特徴とする半導体集積回路装置の製造方法。

【請求項33】 請求項24から30のいずれか1項に記載の半導体集積回路装置の製造方法において、前記ゲート絶縁膜を形成した後、NO雰囲気またはNF₃雰囲気中で熱処理を施す、あるいは窒素またはフッ素をイオン打ち込みして、前記ゲート絶縁膜と前記半導体基板との界面に窒素またはフッ素を導入する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項34】 請求項24から30のいずれか1項に記載の半導体集積回路装置の製造方法において、前記メモリセル選択用M I S トランジスタが形成される半導体基板へのしきい値電圧調整用の不純物のイオン打ち込みは、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用M I S トランジスタのチャネルと同じ導電型のチャネルを有する何れかのM I S トランジスタが形成される半導体基板へのしきい値電圧調整用の不純物イオン打ち込みと同時にを行うことを特徴とする半導体集積回路装置の製造方法。

【請求項35】 請求項24から30のいずれか1項に記載の半導体集積回路装置の製造方法において、前記第1不純物イオンの導電型はp型であり、前記第2不純物イオンおよび前記第3不純物イオンの導電型はn型であることを特徴とする半導体集積回路装置の製造方法。

【請求項36】 請求項24から30のいずれか1項に記載の半導体集積回路装置の製造方法において、前記第1不純物イオンはボロンイオン、前記第2不純物イオン

10

20

30

40

50

は砒素イオン、前記第 3 不純物イオンはリンイオンであることを特徴とする半導体集積回路装置の製造方法。

【請求項 37】 半導体基板にメモリセル選択用 M I S トランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用 M I S トランジスタは、前記半導体基板に設けられたソース、ドレイン用の一対の半導体領域と、前記一対の半導体領域の間に設けられた第 1 領域と、前記半導体基板上において前記第 1 領域上に設けられ前記メモリセルの非選択時において負の電圧が印加されるゲート電極とを有し、

前記一対の半導体領域は、第 1 不純物が含有されてなり、前記第 1 領域は前記一対の半導体領域とは反対導電型になるように第 2 不純物が含有されてなり、

前記第 1 領域において、前記一対の半導体領域の両方またはいずれか一方の近傍における前記第 2 不純物の濃度が、前記第 1 領域の他の領域における第 2 不純物の濃度よりも高いことを特徴とする半導体集積回路装置。

【請求項 38】 請求項 37 記載の半導体集積回路装置において、前記ゲート電極が n^+ 型の導体部を有し、前記一対の半導体領域が n 型であり、前記第 1 領域が p 型であることを特徴とする半導体集積回路装置。

【請求項 39】 請求項 37 記載の半導体集積回路装置において、基板バイアスを負側にしたことを特徴とする半導体集積回路装置。

【請求項 40】 半導体基板にメモリセル選択用 M I S トランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用 M I S トランジスタは、前記半導体基板に設けられたソース、ドレイン用の一対の半導体領域と、前記一対の半導体領域の間に設けられた第 1 領域と、前記半導体基板上において前記第 1 領域上に設けられ前記メモリセルの非選択時において負の電圧が印加されるゲート電極とを有し、

前記一対の半導体領域は、第 1 不純物が含有されてなり、前記第 1 領域は前記一対の半導体領域とは反対導電型になるように第 2 不純物が含有されてなり、

前記第 1 領域において、前記一対の半導体領域のうち、データ線が接続された半導体領域の近傍における前記第 2 不純物の濃度が、前記第 1 領域の他の領域における第 2 不純物の濃度よりも高いことを特徴とする半導体集積回路装置。

【請求項 41】 請求項 40 記載の半導体集積回路装置において、前記ゲート電極が n^+ 型の導体部を有し、前記一対の半導体領域が n 型であり、前記第 1 領域が p 型であることを特徴とする半導体集積回路装置。

【請求項 42】 請求項 40 記載の半導体集積回路装置において、基板バイアスを負側にしたことを特徴とする半導体集積回路装置。

【請求項 43】 半導体基板にメモリセル選択用 M I S

トランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用 M I S トランジスタは、前記半導体基板に設けられたソース、ドレイン用の一対の半導体領域と、前記一対の半導体領域の間に設けられた第 1 領域と、前記半導体基板上において前記第 1 領域上に設けられ前記メモリセルの非選択時において負の電圧が印加されるゲート電極とを有し、

前記一対の半導体領域は、第 1 不純物が含有されてなり、前記第 1 領域は前記一対の半導体領域とは反対導電型になるように第 2 不純物が含有されてなり、

前記第 1 領域において、前記一対の半導体領域の両方またはいずれか一方の近傍に、前記第 2 不純物の濃度が相対的に高く含有された半導体領域を設けたことを特徴とする半導体集積回路装置。

【請求項 44】 半導体基板にメモリセル選択用 M I S トランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用 M I S トランジスタは、前記半導体基板に設けられたソース、ドレイン用の一対の半導体領域と、前記一対の半導体領域の間に設けられた第 1 領域と、前記半導体基板上において前記第 1 領域上に設けられたゲート電極とを有し、

前記一対の半導体領域は、第 1 不純物が含有されてなり、前記第 1 領域は、前記一対の半導体領域とは反対導電型になるように第 2 不純物が含有されてなり、前記ゲート電極は、前記第 1 領域と同じ導電型の導体部を有し、

前記第 1 領域において、前記一対の半導体領域の両方またはいずれか一方の近傍における前記第 2 不純物の濃度が、前記第 1 領域の他の領域における第 2 不純物の濃度よりも高いことを特徴とする半導体集積回路装置。

【請求項 45】 請求項 44 記載の半導体集積回路装置において、前記ゲート電極の導体部が p^+ 型であり、前記一対の半導体領域が n 型であり、前記第 1 領域が p 型であることを特徴とする半導体集積回路装置。

【請求項 46】 請求項 44 記載の半導体集積回路装置において、基板バイアスを負側にしたことを特徴とする半導体集積回路装置。

【請求項 47】 半導体基板にメモリセル選択用 M I S トランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、

前記メモリセル選択用 M I S トランジスタは、前記半導体基板に設けられたソース、ドレイン用の一対の半導体領域と、前記一対の半導体領域の間に設けられた第 1 領域と、前記半導体基板上において前記第 1 領域上にたゲート電極とを有し、

前記一対の半導体領域は、第 1 不純物が含有されてなり、前記第 1 領域は前記一対の半導体領域とは反対導電型になるように第 2 不純物が含有されてなり、前記ゲー

10

20

30

40

50

ト電極は、前記第1領域と同じ導電型の導体部を有し、前記第1領域において、前記一対の半導体領域のうち、データ線が接続された半導体領域の近傍における前記第2不純物の濃度が、前記第1領域の他の領域における第2不純物の濃度よりも高いことを特徴とする半導体集積回路装置。

【請求項48】 請求項47記載の半導体集積回路装置において、前記ゲート電極が p^+ 型の導体部を有し、前記一対の半導体領域が n 型であり、前記第1領域が p 型であることを特徴とする半導体集積回路装置。

【請求項49】 請求項47記載の半導体集積回路装置において、基板バイアスを負側にしたことを特徴とする半導体集積回路装置。

【請求項50】 半導体基板にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、前記メモリセル選択用MISトランジスタは、前記半導体基板に設けられたソース、ドレイン用の一対の半導体領域と、前記一対の半導体領域の間に設けられた第1領域と、前記半導体基板上において前記第1領域上に設けられたゲート電極とを有し、前記一対の半導体領域は、第1不純物が含有されてなり、前記第1領域は前記一対の半導体領域とは反対導電型になるように第2不純物が含有されてなり、前記ゲート電極は、前記第1領域と同じ導電型の導体部を有し、前記第1領域において、前記一対の半導体領域の両方またはいずれか一方の近傍に、前記第2不純物の濃度が相対的に高く含有された半導体領域を設けたことを特徴とする半導体集積回路装置。

【請求項51】 半導体基板にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、前記メモリセル選択用MISトランジスタは、前記半導体基板に設けられたソース、ドレイン用の一対の半導体領域と、前記一対の半導体領域の間に設けられた第1領域と、前記半導体基板上において前記第1領域上に設けられ前記メモリセルの非選択時において負の電圧が印加されるゲート電極とを有し、基板バイアスを $-1V$ よりも負側にしたことを特徴とする半導体集積回路装置。

【請求項52】 半導体基板にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、前記メモリセル選択用MISトランジスタは、前記半導体基板に設けられたソース、ドレイン用の一対の半導体領域と、前記一対の半導体領域の間に設けられた第1領域と、前記半導体基板上において前記第1領域上に設けられたゲート電極とを有し、前記一対の半導体領域は、第1不純物が含有されてなり、前記第1領域は、前記一対の半導体領域とは反対導電型になるように第2不純物が含有されてなり、前記ゲ

ート電極は、前記第1領域と同じ導電型の導体部を有し、基板バイアスを $-1V$ よりも負側にしたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、DRAM (Dynamic Random Access Memory) またはメモリ回路と論理回路とが同一半導体基板に設けられたロジック (Logic : 論理回路) 混載形メモリを有する半導体集積回路装置およびその製造技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】MISFET (Metal Insulator Semiconductor Field Effect Transistor) のしきい値電圧の制御方法としては、例えば半導体基板のチャネル領域に不純物イオンを注入し、チャネル領域の不純物濃度を調整することによってしきい値電圧を制御する方法があり、例えば、日経マグロウヒル社発行「MOSLSI製造技術」昭和60年6月20日発行、P91~P92などに記載されている。

【0003】また、MISFETのソース、ドレインを構成する一対の半導体領域の内側に、半導体基板と同じ導電型の不純物イオンを注入し、ポケット領域を設けることによってしきい値電圧を制御する方法もあり、例えば、特願平4-183448号公報などに記載されている。

【0004】ところで、DRAMの高集積化に伴って、メモリセルの微細化が進み、現在、 $0.3\mu m$ 以下のゲート長を有するメモリセル選択用MISFETが形成されている。しかし、このメモリセル選択用MISFETにおいて、 $1.0V$ のしきい値電圧を得るためには、少なくともデータ線が形成される側 (データ線側) の半導体基板の不純物濃度を $5 \times 10^{17} cm^{-3}$ 程度と高濃度にする必要がある。

【0005】しかしながら、メモリセルの情報蓄積用容量素子が形成される側 (情報蓄積用容量素子側) の半導体基板の不純物濃度とデータ線側の半導体基板の不純物濃度とは同じであるため、メモリセル選択用MISFETがオフ時におけるゲート電極の情報蓄積用容量素子側の端部近傍での接合電界強度が、データ線側と同様に、 $0.6 MV/cm$ 以上と大きくなる。このため、ゲート電極の情報蓄積用容量素子側の端部近傍での接合電界強度の増加によってリフレッシュ不良の発生率が増大する。

【0006】さらに、半導体基板の不純物濃度を高くするためには半導体基板へ注入される不純物イオンの注入量を増やす必要があるが、イオン注入によって半導体基板が損傷 (結晶欠陥) し、結晶欠陥起因の接合リーク電流の増加が起こり、リフレッシュ時間が短くなるという問題が生ずる。

【0007】そこで、メモリセル選択用MISFETのしきい値電圧を制御すると同時に、ゲート電極の端部近傍での接合電界強度の増加を抑えるために、(1)ゲート絶縁膜を厚くする、(2)ゲート電極の側壁に設けられるサイドウォールスペーサのスペーサ長を長くする、(3)しきい値電圧を制御するために導入される不純物が半導体基板の表面で最大となるように不純物濃度分布を設定する、(4)ソース、ドレインを構成する半導体領域の不純物濃度を低減する、(5)ソース、ドレインを構成する情報蓄積用容量素子側の半導体領域の下部に電界緩和層を設けるなどの接合電界低減方法が採用されている。

【0008】なお、前記接合電界低減方法については、例えば特願平9-259105号公報などに記載されている。

【0009】さらに、メモリセル選択用MISFETのしきい値電圧とゲート電極の情報蓄積用容量素子側の端部近傍での接合特性とをそれぞれ独立に制御する方法として、(6)データ線側の半導体基板のみにチャネル領域と同じ導電型の不純物イオンを注入することによってしきい値電圧を制御し、情報蓄積用容量素子側の半導体基板の高濃度化を防いで接合リーク電流の低減および接合電界強度の低減を図る技術が、特開平10-56147号公報および特願平10-152538号公報に開示されている。

【0010】また、特開昭63-190377号公報および特願平4-11766号公報には、(7)ソース、ドレインを構成するデータ線側の半導体領域を低濃度半導体領域と高濃度半導体領域とで構成し、ソース、ドレインを構成する情報蓄積用容量素子側の半導体領域を低濃度半導体領域で構成することによって、ソース、ドレインを構成する情報蓄積用容量素子側の半導体領域の不純物濃度を低くして接合リーク電流を低減する技術が記載されている。

【0011】

【発明が解決しようとする課題】しかしながら、本発明者が、前記接合電界低減方式および前記接合リーク電流低減方法を検討したところ、以下の問題が生じることが明らかとなった。

【0012】(1)ゲート絶縁膜を厚くする方法では、半導体基板の不純物濃度を低減することができて、接合電界強度を抑えることが可能となるが、短チャネル効果が生じやすくなる。さらに、DRAMの周辺回路に形成されるMISFETのゲート絶縁膜を高速化のために薄くする必要がある場合は、2種類の厚さのゲート絶縁膜を形成しなくてはならず、製造工程が複雑になる。

【0013】(2)ゲート電極の側壁に設けられるサイドウォールスペーサのスペーサ長を長くする方法では、メモリセル選択用MISFETのサイドウォールスペーサの間隔が狭くなり、メモリセル選択用MISFETの

上層に層間絶縁膜を堆積した後、蓄積電極を半導体基板に接続するためのコンタクトホールを上記層間絶縁膜に形成する際、コンタクトホールが開かなくなる可能性がある。従って、サイドウォールスペーサのスペーサ長を極端に長くすることは難しく、接合電界強度の低減には限界がある。

【0014】(3)しきい値電圧を制御するために導入される不純物が半導体基板の表面で最大となるように不純物濃度分布を設定する方法では、不純物イオンを浅く注入する必要があるが、注入された不純物イオンに後方散乱または熱処理後に外方拡散が生じて半導体基板の表面での不純物濃度が低下しやすい。このため、半導体基板の表面における不純物濃度の制御は困難となり、しきい値電圧のばらつきが大きくなる。

【0015】(4)ソース、ドレインを構成する半導体領域の不純物濃度を低減する方法では、MISFETの動作速度が遅くなるという問題が生ずる。さらに、高速化のためにDRAMの周辺回路に形成されるMISFETのソース、ドレインを構成する半導体領域を高濃度化する場合、メモリセル選択用MISFETのソース、ドレインを構成する半導体領域と周辺回路のMISFETのソース、ドレインを構成する半導体領域とを別々に形成する必要があり、製造工程が複雑となる。

【0016】(5)ソース、ドレインを構成する情報蓄積用容量素子側の半導体基板に形成された半導体領域の下部に電界緩和層を設ける方法では、電界緩和層を形成するためのイオン打ち込みが必要となり、製造工程が複雑になる。また、情報蓄積用容量素子側だけでなくデータ線側にも電界緩和層を形成する場合は、電界緩和層が深く形成されるため、パンチスルー現象が生じやすく、しきい値電圧が低下しやすくなる。

【0017】(6)データ線側の半導体基板にのみチャネル領域と同じ導電型の不純物イオンを注入する方法では、しきい値電圧を制御するために導入される不純物イオンの注入量が多くなり、データ線側の半導体基板の不純物濃度が高くなる。不純物濃度が高い半導体基板では、ゲート電極とソース、ドレインを構成する半導体領域とのオフセットを防止するために、ソース、ドレインを構成する半導体領域の不純物濃度を高くする必要があり、ソース、ドレインを構成する情報蓄積用容量素子側の半導体領域も高濃度となる。一方で、しきい値電圧の低下を防止するためには、ソース、ドレインを構成する半導体領域を浅くしなければならず、このため、ソース、ドレインを構成する情報蓄積用容量素子側の半導体領域は急峻な不純物濃度分布を有することとなり、接合電界強度が増加してしまう。

【0018】(7)ソース、ドレインを構成する情報蓄積用容量素子側の半導体領域の不純物濃度を低くして接合リーク電流を低減する方法では、“high”情報を読み

出す際の読み出し速度を上げるために、ソース、ドレインを構成する半導体領域の不純物濃度を高くする必要がある。このため、前記(6)に記載したと同様に、ソース、ドレインを構成する情報蓄積用容量素子側の低濃度半導体領域が急峻な不純物濃度分布を有して、接合電界強度が増加するので、“high”情報の読み出し速度の向上と接合電界強度の低減とを両立することができない。

【0019】従って、前記方式では、十分な読み出し速度を得るとともに、大幅な接合電界強度の低減を実現することが難しく、例えば、 $0.2\mu\text{m}$ 以下のゲート長を有するメモリセル選択用MISFETにおいて 1.0V のしきい値電圧を得るためには、オフ時におけるゲート電極の情報蓄積用容量素子側の端部近傍での接合電界強度は、 $0.5\text{MV}/\text{cm}$ 程度までしか低減できない。

【0020】本発明の目的は、メモリセルにおいて所望するしきい値電圧を得ると同時に、リフレッシュ特性を向上させて、高信頼度のDRAMを実現することができる技術を提供することにある。

【0021】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0022】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有し、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域の上方に前記容量素子が形成されており、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の半導体基板の表面濃度が、前記メモリセル選択用MISトランジスタの容量素子側の半導体基板の表面濃度よりも相対的に高いものである。

【0023】(2) 本発明の半導体集積回路装置は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有し、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域の上方に前記容量素子が形成されており、前記メモリセル選択用MISトランジスタのデ

ータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の半導体基板の表面濃度が、前記メモリセル選択用MISトランジスタの容量素子側の半導体基板の表面濃度よりも相対的に高く、さらに、前記メモリセルの周囲に設けられた回路にMISトランジスタが形成されており、前記MISトランジスタのソース、ドレインを構成する一方の低濃度半導体領域の不純物濃度と前記MISトランジスタのソース、ドレインを構成する他方の低濃度半導体領域の不純物濃度とが同じものである。

【0024】(3) 本発明の半導体集積回路装置は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有し、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域の上方に前記容量素子が形成されており、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度と前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度がゲート電極を挟んで異なり、および前記メモリセル選択用MISトランジスタが形成された半導体基板の表面濃度がゲート電極を挟んで異なり、さらに、前記メモリセルの周囲に設けられた回路にMISトランジスタが形成されており、前記MISトランジスタのソース、ドレインを構成する一方の低濃度半導体領域の不純物濃度と前記MISトランジスタのソース、ドレインを構成する他方の低濃度半導体領域の不純物濃度がゲート電極を挟んで同じであり、前記MISトランジスタが形成された半導体基板の表面濃度がゲート電極を挟んで同じである。

【0025】(4) 本発明の半導体集積回路装置は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有し、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域の上方に前記容量素子が形成されており、前記メモリセル選択用MISトランジスタが形成された半導体基板の表面に、前記半導体基板と同じ導電型の不純物によって構成され、その表面濃度が前記半導体基板の表面濃度よりも相対的に高い不純物表面層が設けられており、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも

相対的に高いものである。

【0026】(5) 本発明の半導体集積回路装置は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有し、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記第1低濃度半導体領域を囲んで前記第1低濃度半導体領域と異なる導電型の不純物によって構成された第1半導体領域が形成され、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域の上方に前記容量素子が形成されており、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の表面濃度が、前記メモリセル選択用MISトランジスタの容量素子側の半導体基板の表面濃度よりも相対的に高いものである。

【0027】(6) 本発明の半導体集積回路装置は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有し、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域の上方に情報を転送するデータ線が形成され、前記第1低濃度半導体領域を囲んで前記第1低濃度半導体領域と異なる導電型の不純物によって構成された第1半導体領域が形成され、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域の上方に前記容量素子が形成され、前記第2低濃度半導体領域を囲んで前記第2低濃度半導体領域と異なる導電型の不純物によって構成された第2半導体領域が形成されており、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2半導体領域の不純物濃度よりも相対的に高いものである。

【0028】(7) 本発明の半導体集積回路装置は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有し、前記メモリセル選択用MISトランジスタのゲート電極の側壁に設けられたサイドウォールスペーサ下のデータ線側の半導体基板に、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインの構成する一方の第1低濃度半導体領域、および前記第1低濃度半導体領域と異なる導電型によって構成

された第1半導体領域が順に形成されており、前記サイドウォールスペーサ下の容量素子側の半導体基板に、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域が形成されており、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の表面濃度が、前記メモリセル選択用MISトランジスタの容量素子側の半導体基板の表面濃度よりも相対的に高いものである。

【0029】(8) 本発明の半導体集積回路装置は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有し、前記メモリセル選択用MISトランジスタのゲート電極の側壁に設けられたサイドウォールスペーサ下のデータ線側の半導体基板に、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域、および前記第1低濃度半導体領域と異なる導電型によって構成された第1半導体領域が順に形成されており、前記サイドウォールスペーサ下の容量素子側の半導体基板に、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域、および前記第2低濃度半導体領域と異なる導電型によって構成された第2半導体領域が形成されており、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2半導体領域の不純物濃度よりも相対的に高いものである。

【0030】(9) 本発明の半導体集積回路装置は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有し、前記半導体基板の表面に設けられた一方の高濃度半導体領域と前記メモリセル選択用MISトランジスタのチャネル領域との間のデータ線側の半導体基板に、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域、および前記第1低濃度半導体領域と異なる導電型によって構成された第1半導体領域が順に形成されており、前記半導体基板の表面に設けられた他方の高濃度半導体領域と前記メモリセル選択用MISトランジスタのチャネル領域との間の容量素子側の半導体基板に、前記メモリセル選択用MISトランジスタのソー

ス、ドレインを構成する他方の第2低濃度半導体領域が形成されており、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の表面濃度が、前記メモリセル選択用MISトランジスタの容量素子側の半導体基板の表面濃度よりも相対的に高いものである。

【0031】(10) 本発明の半導体集積回路装置は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有し、前記半導体基板の表面に設けられた一方の高濃度半導体領域と前記メモリセル選択用MISトランジスタのチャネル領域との間のデータ線側の半導体基板に、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する一方の第1低濃度半導体領域、および前記第1低濃度半導体領域と異なる導電型によって構成された第1半導体領域が順に形成されており、前記半導体基板の表面に設けられた他方の高濃度半導体領域と前記メモリセル選択用MISトランジスタのチャネル領域との間の容量素子側の半導体基板には、ゲート長方向にチャネル領域へ向かって、前記メモリセル選択用MISトランジスタのソース、ドレインを構成する他方の第2低濃度半導体領域、および前記第2低濃度半導体領域と異なる導電型によって構成された第2半導体領域が順に形成されており、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度よりも相対的に高く、前記メモリセル選択用MISトランジスタのデータ線側の前記第1半導体領域の不純物濃度が、前記メモリセル選択用MISトランジスタの容量素子側の前記第2半導体領域の不純物濃度よりも相対的に高いものである。

【0032】(11) 本発明の半導体集積回路装置は、前記(2)または(3)の半導体集積回路装置において、前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の不純物濃度は、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用MISトランジスタのチャネルと同じ導電型のチャネルを有する何れかのMISトランジスタのソース、ドレインを構成する一方の低濃度半導体領域の不純物濃度と同じものである。

【0033】(12) 本発明の半導体集積回路装置は、前記(2)または(3)の半導体集積回路装置において、前記メモリセル選択用MISトランジスタの容量素子側の半導体基板の表面濃度は、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用MIS

トランジスタのチャネルと同じ導電型のチャネルを有する何れかのMISトランジスタが形成された半導体基板の表面濃度と同じものである。

【0034】(13) 本発明の半導体集積回路装置は、前記(2)または(3)の半導体集積回路装置において、前記メモリセル選択用MISトランジスタのデータ線側の半導体基板の表面濃度が、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用MISトランジスタのチャネルと同じ導電型のチャネルを有する何れかのMISトランジスタに設けられたポケット領域の表面濃度と同じものである。

【0035】(14) 本発明の半導体集積回路装置は、前記(1)から(8)の半導体集積回路装置において、前記メモリセル選択用MISトランジスタのデータ線側の前記第1低濃度半導体領域および前記メモリセル選択用MISトランジスタの容量素子側の前記第2低濃度半導体領域の上部に、前記第1低濃度半導体領域または前記第2低濃度半導体領域と同じ導電型の不純物によって構成され、その不純物濃度が前記第1低濃度半導体領域または前記第2の低濃度半導体領域の不純物濃度よりも相対的に高い高濃度半導体領域が形成されているものである。

【0036】(15) 本発明の半導体集積回路装置は、前記(1)から(10)の半導体集積回路装置において、前記メモリセル選択用MISトランジスタのゲート絶縁膜と前記半導体基板との界面に、窒素またはフッ素が含まれているものである。

【0037】(16) 本発明の半導体集積回路装置は、前記(1)から(10)の半導体集積回路装置において、前記メモリセル選択用MISトランジスタのチャネル領域には、しきい値電圧調整用の不純物が導入されていないものである。

【0038】(17) 本発明の半導体集積回路装置は、前記(1)から(10)の半導体集積回路装置において、前記メモリセル選択用MISトランジスタのチャネル領域には、しきい値電圧調整用の不純物が導入されており、前記メモリセル選択用MISトランジスタのチャネル領域の不純物濃度は、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用MISトランジスタのチャネルと同じ導電型のチャネルを有する何れかのMISトランジスタのチャネル領域の不純物濃度と同じか、またはそれ以下である。

【0039】(18) 本発明の半導体集積回路装置は、前記(5)から(10)の半導体集積回路装置において、前記第1低濃度半導体領域および前記第2低濃度半導体領域はn型不純物によって構成され、前記第1半導体領域はp型不純物によって構成されるものである。

【0040】(19) 本発明の半導体集積回路装置は、前記(5)から(10)の半導体集積回路装置において、前記第1低濃度半導体領域は砒素、あるいは砒素お

よびリンによって構成され、前記第2低濃度半導体領域はリンによって構成されるものである。

【0041】(20) 本発明の半導体集積回路装置は、前記(5)から(10)の半導体集積回路装置において、前記第1低濃度半導体領域は砒素、あるいは砒素およびリンによって構成され、前記第2低濃度半導体領域はリンによって構成され、前記第1半導体領域はボロンによって構成されるものである。

【0042】(21) 本発明の半導体集積回路装置は、前記(1)から(20)の半導体集積回路装置において、前記メモリセルは、メモリセル選択用MISトランジスタと、これに直列に接続された情報蓄積用容量素子とで構成されるDRAMセルである。

【0043】(22) 本発明の半導体集積回路装置は、前記(1)から(20)の半導体集積回路装置において、前記メモリセルの周囲に設けられた回路は、DRAMの周辺回路またはロジック混載形DRAMの論理回路である。

【0044】(23) 本発明の半導体集積回路装置は、前記(1)から(20)の半導体集積回路装置において、前記メモリセルは、ダブル・デンシティ・パッケージに実装された半導体チップの回路形成面に形成されているものである。

【0045】(24) 本発明の半導体集積回路装置の製造方法は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形成する際、(a). 前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の半導体基板上に、前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、(b). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、(c). 前記メモリセル選択用MISトランジスタの容量素子側の半導体基板に、前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第3不純物イオンを注入する工程とを有するものである。

【0046】(25) 本発明の半導体集積回路装置の製造方法は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形成する際、(a). 前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の半導体基板上に、前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、(b). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャネルと異なる

る導電型の第1不純物イオンおよび前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、(c). 前記メモリセル選択用MISトランジスタのデータ線側および容量素子側の半導体基板に、前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第3不純物イオンを注入する工程とを有するものである。

【0047】(26) 本発明の半導体集積回路装置の製造方法は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形成する際、(a). 前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の半導体基板上に、前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、(b). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、(c). 前記メモリセル選択用MISトランジスタのデータ線側および容量素子側の半導体基板と、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用MISトランジスタのチャネルと同じ導電型のチャネルを有する何れかのMISトランジスタが形成される半導体基板とに、前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第3不純物イオンを注入する工程とを有するものである。

【0048】(27) 本発明の半導体集積回路装置の製造方法は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形成する際、(a). 前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の半導体基板上に、前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、(b). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第2不純物イオンを注入する工程と、(c). 前記メモリセル選択用MISトランジスタの容量素子側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャネルと同じ導電型の第3不純物イオンおよび前記メモリセル選択用MISトランジスタのチャネルと異なる導電型の第4不純物イオンを注入する工程とを有するものである。

【0049】(28) 本発明の半導体集積回路装置の製造方法は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形

成する際、(a). 前記メモリセル選択用MISトランジスタのチャンネルと異なる導電型の半導体基板上に、前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、(b). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャンネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用MISトランジスタのチャンネルと同じ導電型の第2不純物イオンを注入する工程と、(c). 前記メモリセル選択用MISトランジスタのデータ線側および容量素子側の半導体基板に、前記メモリセル選択用MISトランジスタのチャンネルと同じ導電型の第3不純物イオンを注入する工程と、(d). 前記メモリセル選択用MISトランジスタの上層に形成された絶縁膜を加工して、データ線を接続するための第1コンタクトホールおよび前記容量素子を接続するための第2コンタクトホールを前記半導体基板に接して形成する工程と、(e). 前記第1コンタクトホールおよび第2コンタクトホールを通して、前記半導体基板に前記メモリセル選択用MISトランジスタのチャンネルと同じ導電型の不純物イオンを注入する工程とを有するものである。

【0050】(29) 本発明の半導体集積回路装置の製造方法は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形成する際、(a). 前記メモリセル選択用MISトランジスタのチャンネルと異なる導電型の半導体基板上に、前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、(b). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、同一のレジストパターンをマスクにして、前記メモリセル選択用MISトランジスタのチャンネルと異なる導電型の第1不純物イオンおよび前記メモリセル選択用MISトランジスタのチャンネルと同じ導電型の第2不純物イオンを注入する工程と、(c). 前記メモリセル選択用MISトランジスタのデータ線側および容量素子側の半導体基板に、前記メモリセル選択用MISトランジスタのチャンネルと同じ導電型の第3不純物イオンを注入する工程と、(d). 前記メモリセル選択用MISトランジスタの上層に形成された絶縁膜を加工して、データ線を接続するための第1コンタクトホールおよび前記容量素子を接続するための第2コンタクトホールを前記半導体基板に接して形成する工程と、(e). 前記第1コンタクトホールおよび前記第2コンタクトホールに、前記メモリセル選択用MISトランジスタのチャンネルと同じ導電型の導電膜を埋め込み、前記導電膜に添加された不純物を前記メモリセル選択用MISトランジスタのデータ側および容量素子側の半導体基板へ拡散させる工程とを有するものである。

【0051】(30) 本発明の半導体集積回路装置の製

造方法は、半導体基板上にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを形成する際、(a). 前記メモリセル選択用MISトランジスタのチャンネルと異なる導電型の半導体基板の表面近傍に、前記メモリセル選択用MISトランジスタのチャンネルと異なる導電型の第1不純物イオンを注入する工程と、(b). 前記メモリセル選択用MISトランジスタのゲート絶縁膜およびゲート電極を順次形成する工程と、(c). 前記メモリセル選択用MISトランジスタのデータ線側の半導体基板のみに、前記メモリセル選択用MISトランジスタのチャンネルと同じ導電型の第2不純物イオンを注入する工程と、(d). 前記メモリセル選択用MISトランジスタの容量素子側の半導体基板のみに、前記メモリセル選択用MISトランジスタのチャンネルと同じ導電型の第3不純物イオンを注入する工程とを有するものである。

【0052】(31) 本発明の半導体集積回路装置の製造方法は、前記(24)から(29)の半導体集積回路装置の製造方法において、前記第1不純物イオンは、斜め方向からのイオン打ち込みによって注入されるものである。

【0053】(32) 本発明の半導体集積回路装置の製造方法は、前記(24)から(29)の半導体集積回路装置の製造方法において、前記第1不純物イオンは、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用MISトランジスタのチャンネルと同じ導電型のチャンネルを有する何れかのMISトランジスタが形成される半導体基板に、ポケット領域を形成するために注入されるものである。

【0054】(33) 本発明の半導体集積回路装置の製造方法は、前記(24)から(30)の半導体集積回路装置の製造方法において、前記ゲート絶縁膜を形成した後、NO雰囲気またはNF₃ 雰囲気中で熱処理を施す、あるいは窒素またはフッ素をイオン打ち込みして、前記ゲート絶縁膜と前記半導体基板との界面に窒素またはフッ素を導入する工程を有するものである。

【0055】(34) 本発明の半導体集積回路装置の製造方法は、前記(24)から(30)の半導体集積回路装置の製造方法において、前記メモリセル選択用MISトランジスタが形成される半導体基板へのしきい値電圧調整用の不純物のイオン打ち込みは、メモリセルの周囲に設けられた回路に形成されて前記メモリセル選択用MISトランジスタのチャンネルと同じ導電型のチャンネルを有する何れかのMISトランジスタが形成される半導体基板へのしきい値電圧調整用の不純物イオン打ち込みと同時にを行うものである。

【0056】(35) 本発明の半導体集積回路装置の製造方法は、前記(24)から(30)の半導体集積回路装置の製造方法において、前記第1不純物イオンの導電型は、n型であり、前記第2不純物イオンは、p型であり、前記第3不純物イオンは、n型である。

不純物イオンの導電型はn型である。

【0057】(36)本発明の半導体集積回路装置の製造方法は、前記(24)から(30)の半導体集積回路装置の製造方法において、前記第1不純物イオンはボロンイオン、前記第2不純物イオンは砒素イオン、前記第3不純物イオンはリンイオンである。

【0058】上記した手段によれば、メモリセル選択用MISFETのデータ線側の半導体基板の表面濃度およびソース、ドレインを構成する一方の第1低濃度半導体領域の不純物濃度を相対的に高くすることによって、オフセット構造を防止して、所望のしきい値電圧を得ることができる。同時に、メモリセル選択用MISFETの容量素子側の半導体基板の表面濃度およびソース、ドレインを構成する他方の第2低濃度半導体領域の不純物濃度を相対的に低くすることによって、ゲート電極の容量素子側の端部近傍での接合電界強度を低減することができるので、リフレッシュ時間を長くすることができる。

【0059】また、本願において開示される発明のうち、他の代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、本発明は、半導体基板にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、前記メモリセルの非選択時に前記メモリセル選択用MISトランジスタのゲート電極に負の電圧を印加する構造において、前記メモリセル選択用MISトランジスタのソース、ドレイン用の一対の半導体領域の両方またはいずれか一方の近傍の基板濃度を相対的に高くしたものである。

【0060】また、本発明は、半導体基板にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、前記メモリセル選択用MISトランジスタのゲート電極が、半導体基板と同一導電型の導体部を有する構造において、前記メモリセル選択用MISトランジスタのソース、ドレイン用の一対の半導体領域の両方またはいずれか一方の近傍の基板濃度を相対的に高くしたものである。

【0061】また、本発明は、半導体基板にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、前記メモリセルの非選択時に前記メモリセル選択用MISトランジスタのゲート電極に負の電圧を印加する構造において、基板バイアスを-1Vよりも負側にするものである。

【0062】また、本発明は、半導体基板にメモリセル選択用MISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、前記メモリセル選択用MISトランジスタのゲート電極が、半導体基板と同一導電型の導体部を有する構造において、基板バイアスを-1Vよりも負側にするものであ

る。

【0063】上記した手段によれば、メモリセル選択用MISトランジスタのゲート電極下における第1領域における不純物濃度を低くすることができるので、接合電界の増大なしにパンチスルー現象を抑制または防止することができ、さらに、バーンイン試験時の劣化や書き込み不良の発生をも抑制または防止することが可能となる。

【0064】また、基板バイアスを-1Vよりも負側にしたことにより、接合電界の増大およびバーンイン試験時の劣化や書き込み不良の発生なしにパンチスルー現象を抑制または防止することが可能となる。

【0065】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0066】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0067】(実施の形態1)図1は、本実施の形態1であるDRAMを示す半導体基板の要部断面図である。

【0068】Qsはメモリアレイに形成されたメモリセル選択用MISFETであり、QnおよびQpは周辺回路に形成されたnチャネル型MISFETおよびpチャネル型MISFETである。

【0069】図1に示すように、シリコン単結晶からなる半導体基板1の主面上の素子分離領域には、溝型素子分離用絶縁膜2が形成され、さらに、メモリセルを形成する領域(メモリアレイ)の半導体基板1の深くにn型埋め込みウエル3、メモリアレイと周辺回路の一部(nチャネル型MISFETQnを形成する領域)とにp型ウエル4、周辺回路の他の一部(pチャネル型MISFETQpを形成する領域)にn型ウエル5が形成されている。

【0070】上記メモリセル選択用MISFETQsは酸化シリコン膜によって構成されるゲート絶縁膜6、ゲート電極7aおよびソース、ドレインを構成する一方のn⁻型半導体領域8a、8bと他方のn⁻型半導体領域8bとによって構成されており、ゲート電極7aは、メモリセルを選択するワード線と一体に構成されている。

【0071】上記nチャネル型MISFETQnはゲート絶縁膜6、ゲート電極7aならびにソース、ドレインを構成する一対のn⁻型半導体領域8bおよび一対のn⁺型半導体領域9によって構成されており、上記pチャネル型MISFETQpはゲート絶縁膜6、ゲート電極7aならびにソース、ドレインを構成する一対のp⁻型半導体領域10および一対のp⁺型半導体領域11によって構成されている。

【0072】上記ゲート電極7aは、n型の不純物が導入された多結晶シリコン膜によって構成されており、この多結晶シリコン膜の上部には抵抗値を低減するための

タングステンシリサイド膜が形成されている。ゲート電極 7a の上層には窒化シリコン膜 7b が形成され、さらに、ゲート長方向の側壁には、窒化シリコン膜によって構成されるサイドウォールスペーサ 12 が形成されている。

【0073】窒化シリコン膜 7b およびサイドウォールスペーサ 12 の上層には、酸化シリコン膜によって構成される層間絶縁膜 13 が形成されている。メモリセル選択用 MISFETQs のソース、ドレインを構成する一方の n^- 型半導体領域 8a、8b およびソース、ドレインを構成する他方の n^- 型半導体領域 8b の上層の層間絶縁膜 13 およびゲート絶縁膜 6 と同一層の絶縁膜にはコンタクトホール 14、15 が形成されており、このコンタクトホール 14、15 には、 n 型の不純物が導入された多結晶シリコン膜によって構成されるプラグ 16a、16b がそれぞれ埋め込まれている。

【0074】さらに、上記 n 型の不純物がコンタクトホール 14、15 の底部から拡散して、メモリセル選択用 MISFETQs のソース、ドレインを構成する一方の n^- 型半導体領域 8a、8b およびソース、ドレインを構成する他方の n^- 型半導体領域 8b へ拡散することによって、 n^- 型半導体領域 8a、8b の上部に、 n^+ 型半導体領域 17 が形成されている。

【0075】層間絶縁膜 13 の上層には、酸化シリコン膜 18 が形成されている。さらに、この酸化シリコン膜 18 の上層には n 型の不純物が導入された多結晶シリコン膜によって構成されたデータ線 19 が形成されている。

【0076】データ線 19 は、上記酸化シリコン膜 18 に形成されたコンタクトホール 20a を通してプラグ 16a に接続されており、さらに、プラグ 16a を介してメモリセル選択用 MISFETQs のソース、ドレインを構成する一方の n^- 型半導体領域 8a、8b に接続されている。

【0077】さらに、データ線 19 と同一層の多結晶シリコン膜によって、周辺回路の第 1 層配線 21 が構成されており、第 1 層配線 21 は、酸化シリコン膜 18、層間絶縁膜 13 およびゲート絶縁膜 6 と同一層の絶縁膜に形成されたコンタクトホール 20b、20c を通じて、 n チャネル型 MISFETQn の n^+ 型半導体領域 9 および p チャネル型 MISFETQp の p^+ 型半導体領域 11 にそれぞれ接続されている。

【0078】データ線 19 の上層には層間絶縁膜 22 が形成されている。さらに、この層間絶縁膜 22 の上層には情報蓄積用容量素子の蓄積電極 23 が形成されており、蓄積電極 23 は n 型の不純物が導入された多結晶シリコン膜によって構成されている。

【0079】上記蓄積電極 23 は、上記層間絶縁膜 22 および酸化シリコン膜 18 に形成されたスルーホール 24 を通じてプラグ 16b に接続されており、さらに、プ

ラグ 16b を介してメモリセル選択用 MISFETQs のソース、ドレインを構成する他方の n^- 型半導体領域 8b に接続されている。

【0080】蓄積電極 23 の表面には容量絶縁膜 25 が被覆され、さらに、その表面にはプレート電極 26 が被覆されている。容量絶縁膜 25 は、例えば酸化タンタル膜等からなる。また、プレート電極 26 は、例えばチタンナイトライド膜等からなり、複数の蓄積電極 23 を覆うように形成されている。

【0081】蓄積電極 23 と容量絶縁膜 25 とプレート電極 26 とからなる情報蓄積用容量素子上層には、さらに、層間絶縁膜および多層配線が形成され、最上層にはパッシベーション膜が形成されているが、それらの図示は省略する。

【0082】さらに、メモリセル選択用 MISFETQs のデータ線側の p 型ウェル 4 には、しきい値電圧を調整するための p 型半導体領域 27 が形成されており、データ線側の p 型半導体領域 27 の表面濃度が情報蓄積用容量素子側の p 型ウェル 4 の表面濃度よりも高くなっている。上記 p 型半導体領域 27 の表面濃度は、例えば約 $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ である。

【0083】ここで、ソース、ドレインを構成する情報蓄積用容量素子側の他方の n^- 型半導体領域 8b の表面濃度は約 $1 \times 10^{18} \text{ cm}^{-3}$ であるが、ソース、ドレインを構成するデータ線側一方の n^- 型半導体領域 8a、8b の表面濃度は約 $5 \sim 10 \times 10^{18} \text{ cm}^{-3}$ と高く設定され、 p 型半導体領域 27 を設けたことによるオフセットを防止する。なお、データ線側の n^- 型半導体領域 8b は、 p 型半導体領域 27 によって、その不純物濃度分布はうち消される。

【0084】すなわち、メモリセル選択用 MISFETQs のソース、ドレインを構成するデータ線側一方の n^- 型半導体領域 8a、8b および p 型半導体基板 (p 型ウェル 4 + p 型半導体領域 27) の不純物濃度は、ソース、ドレインを構成する情報蓄積用容量素子側の他方の n^- 型半導体領域 8b および p 型半導体基板 (p 型ウェル 4) の不純物濃度よりもそれぞれ相対的に高く設定されている。

【0085】情報蓄積用容量素子側の p 型ウェル 4 の表面濃度および n^- 型半導体領域 8b の不純物濃度は、周辺回路の n チャネル型 MISFETQn の p 型ウェル 4 の表面濃度および n^- 型半導体領域 8b の不純物濃度とそれぞれ同じである。

【0086】次に、上記のように構成された本実施の形態 1 の DRAM の製造方法を図 2 ～ 図 8 を用いて工程順に説明する。

【0087】まず、図 2 に示すように、 p 型で比抵抗が $10 \Omega \text{ cm}$ 程度の半導体基板 1 に酸化シリコン膜によって構成される溝型素子分離用絶縁膜 2 を形成する。次いで、メモリアレイの半導体基板 1 に n 型不純物、例えば

リン(P)をイオン打ち込みしてn型埋め込みウエル3を形成し、メモリアレイと周辺回路のnチャネル型MISFETQnを形成する領域にp型不純物、例えばボロン(B)をイオン打ち込みしてp型ウエル4を形成し、周辺回路のpチャネル型MISFETQpを形成する領域にn型不純物、例えばPをイオン打ち込みしてn型ウエル5を形成する。

【0088】ここで、n型埋め込みウエル3は、例えばPイオンを1MeVの加速エネルギーで $1 \times 10^{13} \text{ cm}^{-2}$ 程度注入することによって形成され、p型ウエル4は、例えばBイオンを300keVの加速エネルギーで $1 \times 10^{13} \text{ cm}^{-2}$ 程度、150keVの加速エネルギーで $2 \times 10^{12} \text{ cm}^{-2}$ 程度、続いて40keVの加速エネルギーで $5 \times 10^{11} \text{ cm}^{-2}$ 程度注入することによって形成され、n型ウエル5は、例えばPイオンを500keVの加速エネルギーで $2 \times 10^{13} \text{ cm}^{-2}$ 程度および250keVの加速エネルギーで $5 \times 10^{12} \text{ cm}^{-2}$ 程度注入することによって形成される。

【0089】上記不純物イオンを半導体基板1に注入した後、不純物イオンの活性化、半導体基板1に生じた結晶欠陥の回復または最適な不純物濃度分布を得るなどのために、半導体基板1に1000℃で約30分の熱処理が施される。

【0090】次に、MISFETのしきい値電圧を調整するために不純物をp型ウエル4およびn型ウエル5にイオン打ち込みする。このチャネルイオン打ち込み方法には、次の3仕様があり、いずれの方法を用いてもよい。

【0091】第1の方法は、図3に示すように、周辺回路のMISFETに不純物、例えばBをイオン打ち込みする方法である。まず、nチャネル型MISFETQnにBイオン28aを10keVの加速エネルギーで $2 \times 10^{12} \text{ cm}^{-2}$ 程度注入し、続いて、pチャネル型MISFETQpにBイオン28bを注入する。

【0092】第2の方法は、メモリセル選択用MISFETQsと周辺回路のMISFETに不純物、例えばBをイオン打ち込みする方法であり、メモリセル選択用MISFETQsへのBイオンの注入条件とnチャネル型MISFETQnへのBイオンの注入条件とが同じである。まず、メモリセル選択用MISFETQsとnチャネル型MISFETQnにBイオン28aを10keVの加速エネルギーで $2 \times 10^{12} \text{ cm}^{-2}$ 程度注入し、続いて、pチャネル型MISFETQpにBイオン28bを注入する。

【0093】第3の方法は、前記第2の方法と同様に、メモリセル選択用MISFETQsと周辺回路のMISFETに不純物、例えばBをイオン打ち込みする方法であるが、メモリセル選択用MISFETQsへのBイオンの注入条件が、nチャネル型MISFETQnへのBイオンの注入条件と異なる。

【0094】次に、図4に示すように、p型ウエル4およびn型ウエル5の各表面に、水素燃焼方式を用いて約7nmの厚さの清浄なゲート絶縁膜6を形成した後、半導体基板1上に約50nmの厚さの多結晶シリコン膜、約120nmの厚さのタングステンシリサイド膜および約200nmの厚さの窒化シリコン膜7bを順次堆積し、次いで、フォトリソパターンをマスクとしてこれらの膜を加工することによって、タングステンシリサイド膜と多結晶シリコン膜とからなるゲート電極7aを形成する。

【0095】この後、フォトリソパターン29をマスクとして、データ線側のメモリセル選択用MISFETQsのp型ウエル4にBイオンを、例えば約15°傾けて20keVの加速エネルギーで $5 \times 10^{13} \text{ cm}^{-2}$ 程度注入してp型半導体領域27を形成し、続いて、上記フォトリソパターン29をマスクとして、砒素(As)イオンを例えば、20keVの加速エネルギーで $5 \times 10^{13} \text{ cm}^{-2}$ 程度注入して、上記p型半導体領域27の内側にn⁻型半導体領域8aを形成する。

【0096】上記Bイオンの注入は、nチャネル型MISFETQnのポケット領域を形成するイオン注入を兼ねることもできる。本実施の形態1では、このBイオンの注入条件は、nチャネル型MISFETQnのポケット領域を形成する際の注入条件と異なるが、メモリセル選択用MISFETQsのしきい値電圧は、このBイオンとしきい値電圧調整用の不純物イオンの注入条件によって決まるため、上記Bイオンの注入条件は上記条件に限定されるものではない。

【0097】また、上記Bイオンの注入条件に依存してしきい値電圧が変わるので、所望のしきい値電圧を得るには、上記Asイオンの注入条件をBイオンの注入条件に応じて変えるべきものであり、Asイオンの注入条件は上記注入条件に限定されるものではない。

【0098】次に、図5に示すように、フォトリソパターン29を除去した後、p型ウエル4にn型不純物、例えばPイオンを20keVの加速エネルギーで $1 \times 10^{13} \text{ cm}^{-2}$ 程度注入することによって、メモリセル選択用MISFETQsのゲート電極7aおよびnチャネル型MISFETQnのゲート電極7aの両側のp型ウエル4に、n⁻型半導体領域8bを形成する。ここで、上記製造工程では、メモリセル選択用MISFETQsのn⁻型半導体領域8bとnチャネル型MISFETQnのn⁻型半導体領域8bとを同じ工程で形成したが、異なる工程で形成してもよい。

【0099】さらに、n型ウエル5にp型不純物、例えばBイオンを注入することによってpチャネル型MISFETQpのゲート電極7aの両側のn型ウエル5に、p⁻型半導体領域10を形成する。その後、半導体基板1に950℃で約20秒の熱処理を施す。

【0100】ここで、メモリセル選択用MISFETQ

s のデータ線側の p 型ウエル 4 にも P イオンが注入されて n⁻ 型半導体領域 8 b が形成されており、ゲート電極 7 a のデータ線側のサイドウォールスペース 12 下の p 型ウエル 4 にはゲート長方向にチャネル領域へ向かって、As イオンによって構成される n⁻ 型半導体領域 8 a と P イオンによって構成される n⁻ 型半導体領域 8 b とが形成されている。しかし、この n⁻ 型半導体領域 8 b は低濃度であるために、その不純物濃度は p 型半導体領域 27 によってうち消される。

【0101】次いで、半導体基板 1 上に CVD (Chemical Vapor Deposition) 法によって約 80 nm の厚さの窒化シリコン膜 (図示せず) を堆積した後、この窒化シリコン膜を異方性エッチングすることによって、窒化シリコン膜 7 b およびゲート電極 7 a の側壁にサイドウォールスペース 12 を形成する。

【0102】次に、図 6 に示すように、周辺回路の p 型ウエル 4 に n 型不純物、例えば As イオンを注入することによって n チャネル型 MISFETQn の n⁺ 型半導体領域 9 を形成し、周辺回路の n 型ウエル 5 に p 型不純物、例えば B イオンを注入することによって p チャネル型 MISFETQp の p⁺ 型半導体領域 11 を形成する。その後、半導体基板 1 に 800℃ で約 60 秒の熱処理を施す。

【0103】これにより、周辺回路に n チャネル型 MISFETQn および p チャネル型 MISFETQp が形成される。

【0104】次に、半導体基板 1 上に酸化シリコン膜 (図示せず) を堆積した後、この酸化シリコン膜の表面を化学的機械研磨 (Chemical Mechanical Polishing ; CMP) 法で研磨してその表面を平坦化することにより、酸化シリコン膜によって構成される層間絶縁膜 13 を形成する。上記酸化シリコン膜は、例えばオゾン (O₃) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマ CVD 法によって堆積される。

【0105】次いで、フォトリソパターンをマスクとしたドライエッチングで前記層間絶縁膜 13 およびゲート絶縁膜 6 と同一層の絶縁膜を順次除去することによって、メモリセル選択用 MISFETQs の一方の n⁻ 型半導体領域 8 a、8 b に達するコンタクトホール 14 を形成し、他方の n⁻ 型半導体領域 8 b に達するコンタクトホール 15 を形成する。

【0106】このエッチングは、サイドウォールスペース 12 を構成する窒化シリコン膜が異方的にエッチングされる条件で行い、メモリセル選択用 MISFETQs のゲート電極 7 a の側壁に上記窒化シリコン膜が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール 14、15 がメモリセル選択用 MISFETQs のゲート電極 7 a に対して自己整合で形成される。

【0107】次いで、コンタクトホール 14、15 の内

部にプラグ 16 a、16 b をそれぞれ形成する。プラグ 16 a、16 b は、層間絶縁膜 13 の上層に n 型不純物、例えば P を $1 \times 10^{20} \text{ cm}^{-3}$ 程度導入した多結晶シリコン膜を CVD 法で堆積した後、この多結晶シリコン膜の表面を CMP 法で研磨し、コンタクトホール 14、15 の内部に多結晶シリコン膜を残すことによって形成する。さらに、この多結晶シリコン膜中の P イオンが拡散して、メモリセル選択用 MISFETQs の一方の n⁻ 型半導体領域 8 a、8 b および他方の n⁻ 型半導体領域 8 b の上部に n⁺ 型半導体領域 17 が形成される。

【0108】ここで、コンタクトホール 14、15 を形成した後、メモリセル選択用 MISFETQs のゲート電極 7 a の両側の p 型ウエル 4 に、例えば P イオンを 20~50 keV の加速エネルギーで $5 \times 10^{12} \sim 2 \times 10^{13} \text{ cm}^{-2}$ 程度注入し、電界緩和層を形成してもよい。

【0109】次に、図 7 に示すように、層間絶縁膜 13 の上層に酸化シリコン膜 18 を堆積する。酸化シリコン膜 18 は、例えば O₃ と TEOS とをソースガスに用いたプラズマ CVD 法によって堆積する。

【0110】次に、フォトリソパターンをマスクとしたドライエッチングで前記コンタクトホール 14 上の酸化シリコン膜 18 を除去してコンタクトホール 20 a を形成し、プラグ 16 a の表面を露出させる。同時に、フォトリソパターンをマスクとしたドライエッチングで周辺回路の酸化シリコン膜 18、層間絶縁膜 13 およびゲート絶縁膜 6 と同一層の絶縁膜を順次除去することによって、n チャネル型 MISFETQn の n⁺ 型半導体領域 9 に達するコンタクトホール 20 b を形成し、p チャネル型 MISFETQp の p⁺ 型半導体領域 11 に達するコンタクトホール 20 c を形成する。

【0111】次に、コンタクトホール 20 a を通してプラグ 16 a に接するメモリアレイのデータ線 19 と、コンタクトホール 20 b を通して n チャネル型 MISFETQn の n⁺ 型半導体領域 9 に接する第 1 層配線 21 と、コンタクトホール 20 c を通して p チャネル型 MISFETQp の p⁺ 型半導体領域 11 に接する第 1 層配線 21 とを形成する。データ線 19 および第 1 層配線 21 は、酸化シリコン膜 18 の上層に導電膜 (図示せず) を堆積した後、フォトリソパターンをマスクとして上記導電膜を加工することにより形成される。

【0112】次に、図 8 に示すように、上記データ線 19 および第 1 層配線 21 の上層に酸化シリコン膜 (図示せず) を堆積した後、この酸化シリコン膜の表面を CMP 法で研磨してその表面を平坦化し、層間絶縁膜 22 を形成する。

【0113】次に、フォトリソパターンをマスクとしたドライエッチングでプラグ 16 b 上の層間絶縁膜 22 および酸化シリコン膜 18 を順次除去して、プラグ 16 b に達するスルーホール 24 を形成した後、層間絶縁膜 22 の上層に n 型不純物、例えば P を $1 \times 10^{20} \text{ cm}^{-3}$

10^{-3} 程度導入した多結晶シリコン膜（図示せず）を堆積する。次いで、フォトリソパターンのマスクとしたドライエッチングでこの多結晶シリコン膜を加工し、情報蓄積用容量素子の蓄積電極23を形成する。次に、蓄積電極23の表面を窒化または酸化処理した後、酸化タンタル膜を堆積し、次いでこの酸化タンタル膜に熱処理を施して酸化タンタル膜を結晶化して容量絶縁膜25を形成する。この後、チタンナイトライド膜を堆積した後、これをパターンニングし、プレート電極26を形成して、前記図1に示したDRAMが形成される。

【0114】このように、本実施の形態1によれば、メモリセル選択用MISFETQsのデータ線側のp型ウェル4にp型半導体領域27を形成し、ソース、ドレインを不純物濃度が相対的に高い n^- 型半導体領域8aで構成することによって、ゲート電極7aとソース、ドレインを構成する n^- 型半導体領域8aとのオフセット構造を防止して、1.1Vのメモリセル選択用MISFETQsのしきい値電圧が得られる。さらに、情報蓄積用容量素子側のp型ウェル4にはp型半導体領域25を形成せずに、ソース、ドレインを不純物濃度が相対的に低い n^- 型半導体領域8bで構成することによって、ゲート電極7aの情報蓄積用容量素子側の端部近傍における接合電界強度は0.32~0.35MV/cmと低くなり、1つの半導体チップ内における最短ビットのリフレッシュ時間は0.2秒程度となる。

【0115】また、MISFETのしきい値電圧を調整するために導入される前記チャネルイオン打ち込みの方法によって、次の効果が得られる。

【0116】まず、前記第1の方法では、メモリセル選択用MISFETQsには、不純物（B）イオンはイオン打ち込みされないで、しきい値電圧はデータ線側のp型半導体領域27によって制御され、同時にゲート電極7aの情報蓄積用容量素子側の端部近傍における接合電界強度が低減する。

【0117】次に、前記第2の方法では、メモリセル選択用MISFETQsには、周辺回路のnチャネル型MISFETQnへ注入されるBイオン28aと同じ条件で不純物（B）がイオン打ち込みされるので、ゲート電極7aのデータ線側の端部近傍における接合電界強度が低減して、p型半導体領域27の不純物濃度を低減することができる。これによって、ソース、ドレインを構成するデータ線側一方の n^- 型半導体領域8aとp型半導体領域27との接合面で発生する電子の量を抑えることが可能となることから、ソース、ドレインを構成する情報蓄積用容量素子側の他方の n^- 型半導体領域8bへ流れる電子量が低減され、またはゲート電極7aの情報蓄積用容量素子側の端部近傍における接合電界強度が低減されて、ディスタ urb（Disturb）リフレッシュ時におけるリーク電流を低減することができる。

【0118】次に、前記第3の方法では、メモリセル選

択用MISFETQsには、周辺回路のnチャネル型MISFETQnへ注入されるBイオン28aと異なる条件で不純物（B）がイオン打ち込みされるので、メモリセル選択用MISFETQsのしきい値電圧の調整と、ゲート電極7aの情報蓄積用容量素子側の端部近傍における接合電界強度の低減とをより詳細に制御することができる。例えば、メモリセル選択用MISFETQsで所望のしきい値電圧を得るために、p型半導体領域27の不純物濃度を低減できない場合は、メモリセル選択用MISFETQsへ注入されるBイオンの濃度を周辺回路のnチャネル型MISFETQnへ注入されるBイオン28aの濃度よりも高く設定する。また、ゲート電極7aの情報蓄積用容量素子側の端部近傍における接合電界強度をさらに低減させる場合は、メモリセル選択用MISFETQsへ注入されるBイオンの濃度を周辺回路のnチャネル型MISFETQnへ注入されるBイオン28aの濃度よりも低く設定する。

【0119】次に、本実施の形態1を適用したDRAMが搭載された半導体チップをDDP（Double Density Package）に実装した例について説明する。

【0120】図9に、DDPの要部断面図の一例を示す。30はDDP、31a、31bは半導体チップ、32は樹脂封止体、33はリード、34a、35は分岐リード、34bは外部リード、36は絶縁性フィルム、37はワイヤ、38はバスバーリード、BPは外部端子（ボンディングパッド）である。

【0121】DDP31は、2つの半導体チップ31a、31bを上下に積層し、この2つの半導体チップ31a、31bを1つの樹脂封止体32で封止した構造になっている。2つの半導体チップ31a、31bのそれぞれには、それぞれの裏面同士を向い合わせた状態で積層されている。前記2つの半導体チップ31a、31bのそれぞれには、前記本実施の形態1が適用された、例えば64MbitDRAMまたは256MbitDRAMが構成されており、2つの半導体チップ31a、31bのそれぞれは同一構造で構成されている。

【0122】前記樹脂封止体32の互いに対向する2つの長辺のそれぞれの外側には、それぞれの長辺に沿って複数のリード33が配置されている。複数のリード33のそれぞれは、樹脂封止体32の内外に亘って延在している。

【0123】前記複数のリード33は、樹脂封止体32の内部において上下（チップの積層方向）方向に分岐され、かつ折り曲げ加工が施された2つの分岐リード34a、35を有する構成となっている。

【0124】一方の分岐リード34aの一部は、一方の半導体チップ31aの回路形成面31a1に絶縁性フィルム36を介在して接着固定されると共に、その回路形成面31a1の中央部に形成された外部端子（ボンディングパッド）BPに導電性のワイヤ37を介して電氣的

に接続されている。また、一方の分岐リード34aの他の一部は、半導体チップ31aの回路形成面31a1上をその外部端子BPの配列方向に沿って延在し、バスバーリード38と一体化されている。

【0125】他方の分岐リード35aの一部は、他方の半導体チップ31bの回路形成面31b1に絶縁性フィルム36を介在して接着固定されると共に、その回路形成面31b1の中央部に形成された外部端子BPに導電性のワイヤ37を介して電氣的に接続されている。また、一方の分岐リード35の他の一部は、半導体チップ31bの回路形成面31b1上をその外部端子BPの配列方向に沿って延在し、バスバーリード38と一体化されている。

【0126】前記分岐リード34aは、樹脂封止体32からその外部に導出された外部リード34bと一体化されている。外部リード34bは面実装型形状として、例えばガルウイング形状に成型されている。前記分岐リード35は、その先端部が外部リード34bの根本部分に接合され、電氣的にかつ機械的に接続されている。すなわち、2つの分岐リード34a、35のそれぞれは、別々の部材で構成されている。

【0127】前記分岐リード35の先端部と外部リード34bの根本部分との接続は、これに限定されないが、例えば接合強度を高める目的として、レーザによるシーム溶接で行われている。

【0128】前記外部リード34bは、その根本部分に連なるリード部分が他方の分岐リード35側に位置するように折り曲げられている。

【0129】なお、絶縁フィルム36としては、例えばポリイミド系樹脂からなる樹脂基材の両面（表面および裏面）にポリイミド系樹脂からなる接着層が形成された絶縁性フィルムを用いている。また、導電性のワイヤ37としては、例えば金ワイヤを用いている。また、ワイヤ37の接続方法としては、例えば熱圧着に超音波振動を併用したボンディング法を用いている。

【0130】前記樹脂封止体32は、低応力化を図る目的として、例えばフェノール系硬化剤、シリコーンゴムおよびフィラー等が添加されたビフェニール系の樹脂で形成されている。この樹脂封止体32は、大量生産に公的なトランスファーマーモルディング法で形成されている。トランスファーマーモルディング法は、ポット、ランナー、流入ゲートおよびキャビティ等を備えたモールド金型を使用し、ポットからランナーおよび流入ゲートを通してキャビティ内に樹脂を加圧注入して樹脂封止体を形成する方法である。

【0131】（実施の形態2）図10は、本実施の形態2であるDRAMを示す半導体基板の要部断面図である。

【0132】前記実施の形態1と同様に、メモリセル選択用MISFETQsのデータ線側のp型ウエル4に

は、しきい値電圧を調整するためのp型半導体領域27が形成されており、さらに、データ線側のソース、ドレインは不純物濃度が相対的に高いn⁻型半導体領域8aによって構成され、情報蓄積用容量素子側のソース、ドレインは不純物濃度が相対的に低いn⁻型半導体領域8bによって構成されている。

【0133】また、メモリセル選択用MISFETQs、ならびに周辺回路のnチャネル型MISFETQnおよびpチャネル型MISFETQpのゲート絶縁膜6と半導体基板1との界面に窒素またはフッ素を含んだ領域39が設けられている。

【0134】次に、本実施の形態2のDRAMの製造方法を図11および図12を用いて簡単に説明する。

【0135】まず、前記実施の形態1と同様な製造方法で、前記図3に示したように、半導体基板1に酸化シリコン膜によって構成される溝型素子分離用絶縁膜2を形成した後、メモリアレイの半導体基板1にn型埋め込みウエル3を形成し、メモリアレイおよび周辺回路のnチャネル型MISFETQnを形成する領域にp型ウエル4を形成し、周辺回路のpチャネル型MISFETQpを形成する領域にn型ウエル5を形成する。次いで、MISFETのしきい値電圧を調整するための不純物を周辺回路のp型ウエル4およびn型ウエル5にそれぞれイオン打ち込みする。

【0136】次に、図11に示すように、ゲート絶縁膜6を形成した後、NO雰囲気またはNF₃雰囲気中で1050℃で約1分の熱処理を半導体基板1に施して、ゲート絶縁膜6と半導体基板1との界面に原子濃度で3%程度の窒素または0.3%程度のフッ素を導入する。上記原子濃度での含有比率を達成する方法として、窒素イオンまたはフッ素イオンを10keVの加速エネルギーで1~2×10¹⁴cm⁻²程度注入した後、窒素雰囲気中で800℃で約10分の熱処理を半導体基板1に施して、前記界面に窒素またはフッ素を導入する方法を用いることもできる。

【0137】次に、図12に示すように、ゲート電極7aを形成した後、メモリセル選択用MISFETQsのデータ線側のp型ウエル4にp型半導体領域27およびn⁻型半導体領域8aを形成し、さらに、メモリセル選択用MISFETQsのゲート電極7aおよびnチャネル型MISFETQnのゲート電極7aの両側のp型ウエル4に、n⁻型半導体領域8bを形成する。その後、半導体基板1に950℃で約20秒の熱処理を施した後、前記実施の形態1で示した工程に準じた工程によりDRAMが形成される。

【0138】なお、本実施の形態2では、ゲート絶縁膜6を形成した後に窒素またはフッ素を導入したが、ゲート電極7aを形成した後、n⁻型半導体領域8bを形成するPイオンのイオン打ち込みに続いて、窒素イオンまたはフッ素イオンを10keVの加速エネルギーで1~

$2 \times 10^{14} \text{ cm}^{-2}$ 程度注入し、次いで窒素雰囲気中で 950°C で約 20 秒の熱処理または 800°C で約 10 分の熱処理を半導体基板 1 に施して、ゲート絶縁膜 6 と半導体基板 1 との界面に窒素またはフッ素を導入する方法を用いてもよい。

【0139】このように、本実施の形態 2 によれば、メモリセル選択用 MISFETQs の情報蓄積用容量素子側のゲート絶縁膜 6 と半導体基板 1 との界面に正電荷が生成されるので、メモリセル選択用 MISFETQs のゲート電極 7 a の情報蓄積用容量素子側の端部近傍における接合電界強度を約 0.30 MV/cm 程度まで低減できて、1 つの半導体チップにおける最短ビットのリフレッシュ時間を 0.25 秒程度まで長くすることができる。

【0140】（実施の形態 3）図 13 は、本実施の形態 3 である DRAM を示す半導体基板の要部断面図である。

【0141】前記実施の形態 1 と同様に、メモリセル選択用 MISFETQs のデータ線側の p 型ウエル 4 には、しきい値電圧を調整するための p 型半導体領域 27 が形成されており、さらに、データ線側のソース、ドレインは不純物濃度が相対的に高い n^- 型半導体領域 8 a によって構成され、情報蓄積用容量素子側のソース、ドレインは不純物濃度が相対的に低い n^- 型半導体領域 8 c によって構成されている。

【0142】また、情報蓄積用容量素子側の p 型ウエル 4 には、上記 n^- 型半導体領域 8 c を囲んで p 型半導体領域 27 a が形成されており、この情報蓄積用容量素子側の p 型半導体領域 27 a の不純物濃度は、データ線側の p 型半導体領域 27 の不純物濃度よりも低く設定されている。

【0143】次に、本実施の形態 3 の DRAM の製造方法を図 14 を用いて説明する。なお、前記ソース、ドレインを構成する n^- 型半導体領域 8 a、8 b および p 型半導体領域 27、27 a 以外の製造方法は、前記実施の形態 1 に記載された製造方法とほぼ同様である。

【0144】まず、前記実施の形態 1 と同様な製造方法で、前記図 3 に示したように、半導体基板 1 に酸化シリコン膜によって構成された溝型素子分離用絶縁膜 2 を形成した後、メモリアレイの半導体基板 1 に n 型埋め込みウエル 3 を形成し、メモリアレイおよび周辺回路の n チャネル型 MISFETQn を形成する領域に p 型ウエル 4 を形成し、周辺回路の p チャネル型 MISFETQp を形成する領域に n 型ウエル 5 を形成する。次いで、MISFET のしきい値電圧を調整するための不純物を周辺回路の p 型ウエル 4 および n 型ウエル 5 にそれぞれイオン打ち込みする。

【0145】次に、ゲート絶縁膜 6、ゲート電極 7 a および窒化シリコン膜 7 b を形成した後、前記図 4 に示したように、フォトリジストパターン 29 をマスクとして、メモリアル選択用 MISFETQs のデータ線側の

10

20

30

40

50

p 型ウエル 4 に B イオンを、例えば約 15° 傾けて 20 keV の加速エネルギーで $5 \times 10^{13} \text{ cm}^{-2}$ 程度注入し、p 型半導体領域 27 を形成する。続いて、フォトリジストパターン 29 をマスクとして、As イオンを、例えば 20 keV の加速エネルギーで $5 \times 10^{13} \text{ cm}^{-2}$ 程度注入し、 n^- 型半導体領域 8 a を形成する。

【0146】次に、図 14 に示すように、フォトリジストパターン 29 a をマスクとして、メモリセル選択用 MISFETQs の情報蓄積用容量素子側の p 型ウエル 4 に B イオンを、例えば 20 keV の加速エネルギーで $1 \times 10^{12} \text{ cm}^{-2}$ 程度注入し、p 型半導体領域 27 a を形成する。続いて、フォトリジストパターン 29 a をマスクとして、P イオンを、例えば 20 keV の加速エネルギーで $2 \times 10^{13} \text{ cm}^{-2}$ 程度注入し、 n^- 型半導体領域 8 c を形成する。

【0147】次いで、周辺回路の p 型ウエル 4 に n 型不純物をイオン打ち込みして n チャネル型 MISFETQn の n^- 型半導体領域 8 b を形成し、さらに、 n 型ウエル 5 に p 型不純物をイオン打ち込みして、p チャネル型 MISFETQp の p^- 型半導体領域 10 を形成する。なお、メモリセル選択用 MISFETQs の n^- 型半導体領域 8 c の不純物濃度は、 n チャネル型 MISFETQn の n^- 型半導体領域 8 b と同じでもよく、異なってもよい。

【0148】この後、前記実施の形態 1 に記載された製造方法と同様にして、前記図 12 に示した DRAM が形成される。

【0149】このように、本実施の形態 3 によれば、データ線側に形成された p 型半導体領域 27 によって、メモリセル選択用 MISFETQs のしきい値電圧を制御することができ、データ線側に形成された n^- 型半導体領域 8 a によって、しきい値電圧と読み出し速度とを制御することができる。さらに、情報蓄積用容量素子側に形成された p 型半導体領域 27 a と n^- 型半導体領域 8 c との濃度調整によって接合電界強度を制御することができて、1 つの半導体チップ内における最短ビットのリフレッシュ時間を 0.22 秒まで長くすることが可能となる。

【0150】（実施の形態 4）図 15 は、本実施の形態 4 である DRAM を示す半導体基板の要部断面図である。

【0151】前記実施の形態 1 と同様に、メモリセル選択用 MISFETQs のデータ線側のソース、ドレインは不純物濃度が相対的に高い n^- 型半導体領域 8 a によって構成され、情報蓄積用容量素子側のソース、ドレインは不純物濃度が相対的に低い n^- 型半導体領域 8 c によって構成されているが、データ線側の p 型ウエル 4 には、前記実施の形態 1 に記載した p 型半導体領域 27 が形成されておらず、データ線側の p 型ウエル 4 の表面近傍に形成された n 型表面層 4 n によってしきい値電圧は

制御されている。

【0152】また、メモリセル選択用MISFETQsのゲート電極7aの情報蓄積用容量素子側の端部近傍における接合電界強度は、上記 n^- 型半導体領域8bおよびp型ウエル4の不純物濃度によって制御される。

【0153】次に、本実施の形態4のDRAMの製造方法を図15および図16を用いて説明する。なお、前記ソース、ドレインを構成する n^- 型半導体領域8a、8bおよびp型表面層40以外の製造方法は、前記実施の形態1に記載された製造方法とほぼ同様である。

【0154】まず、前記実施の形態1と同様な製造方法で、半導体基板1に酸化シリコン膜によって構成された溝型素子分離用絶縁膜2を形成した後、メモリアレイの半導体基板1に n 型埋め込みウエル3を形成し、メモリアレイにp型ウエル4を形成し、次いでこのp型ウエル4の表面近傍へ B イオンを、例えば 10keV の加速エネルギーで $1 \times 10^{13}\text{cm}^{-2}$ 程度注入し、p型表面層40を形成する。この後、周辺回路の n チャネル型MISFETQsを形成する領域およびpチャネル型MISFETQpを形成する領域にp型ウエル4および n 型ウエル5をそれぞれ形成し、次いでMISFETのしきい値電圧を調整するための不純物を周辺回路のp型ウエル4および n 型ウエル5にそれぞれイオン打ち込みする。

【0155】次に、ゲート絶縁膜6、ゲート電極7aおよび窒化シリコン膜7bを形成した後、図16に示すように、フォトリジストパターン29をマスクとして、メモリセル選択用MISFETQsのデータ線側のp型ウエル4に As イオンを、例えば 20keV の加速エネルギーで $5 \times 10^{13}\text{cm}^{-2}$ 程度注入し、 n^- 型半導体領域8aを形成する。

【0156】次に、図17に示すように、フォトリジストパターン29aをマスクとして、メモリセル選択用MISFETQsの情報蓄積用容量素子側のp型ウエル4に P イオンを、例えば 20keV の加速エネルギーで $2 \times 10^{13}\text{cm}^{-2}$ 程度注入し、 n^- 型半導体領域8cを形成する。なお、メモリセル選択用MISFETQsの n^- 型半導体領域8cの不純物濃度は、 n チャネル型MISFETQnの n^- 型半導体領域8bと同じでもよく、異なってもよい。

【0157】この後、前記実施の形態1に記載された製造方法と同様にして、前記図14に示したDRAMが形成される。

【0158】このように、本実施の形態4によれば、メモリアレイのp型ウエル4の表面近傍に導入されたp型表面層40によって、メモリセル選択用MISFETQsのしきい値電圧を制御することができ、データ線側に形成された n^- 型半導体領域8aによって、読み出し速度を制御することができる。さらに、情報蓄積用容量素子側に形成された n^- 型半導体領域8cによって接合電界強度を制御することができる。

【0159】なお、情報蓄積用容量素子側の n^- 型半導体領域8cの下に不純物濃度の低い n 型導入層を形成してもよく、これによって、さらに接合電界強度を低減することが可能となる。例えば、 P イオンを 50keV の加速エネルギーで $1 \times 10^{13}\text{cm}^{-2}$ 程度注入し、上記 n 型導入層を形成することで、1つの半導体チップ内における最短ビットのリフレッシュ時間は0.2秒程度となる。

【0160】（実施の形態5）まず、本発明の技術思想を説明する前に、前記実施の形態1～4で具体的に説明した本発明の基本的な構造を図18によって説明する。図18は、メモリセル領域における半導体基板の要部拡大断面図を示している。本発明の基本的な構造は、メモリセル選択用MISFETのソース・ドレインを構成する一対の半導体領域およびその近傍の領域を、ゲート電極を挟んで非対称とするものである（以下、非対称構造と言う。また、その一対の半導体領域がゲート電極を挟んで対称な通常の構造を対称構造と言う）。すなわち、メモリセル選択用MISFETQsのソース・ドレインを構成する一対の半導体領域のうち、データ線が接続される半導体領域を、 n^- 型半導体領域8a、8bからなる n 型の半導体領域で構成し、かつ、これを取り囲むようにp型ウエル4よりも高不純物濃度に設定されたp型半導体領域27を設けてゲート電極7a下のチャネル領域にp型半導体領域27とp型ウエル4とが配置される構造とする一方で、上記一対の半導体領域のうち、蓄積電極が接続される半導体領域を n^- 型半導体領域8bで構成するものである。このような本発明の技術によれば、データ線が接続されるソース・ドレイン用の n 型半導体領域がゲート電極の端部から離れてしまう、いわゆるオフセットを防止した状態で、所望のしきい値電圧を得つつ、容量素子側の端部近傍における接合電界強度を緩和してリフレッシュ特性の向上を図ることが可能となっている。なお、前記実施の形態1～4においては、ゲート電極を n 型の多結晶シリコンで構成している。

【0161】しかし、前記本発明の技術においては下記の課題がある。なお、以下の説明においてデータ線側の基板濃度と言う場合は、ゲート電極下において、データ線が接続されたソース・ドレイン用の半導体領域の近傍における領域（例えば前記実施の形態1～4においては上記p型半導体領域27に相当）の不純物の濃度を言い、単に基板濃度と言う場合、上記対称構造においては、上記ゲート電極下における不純物の濃度、上記非対称構造においては、上記データ線側の基板濃度と、ゲート電極下においてそれ以外の領域における不純物濃度との和で表せる不純物濃度を言う。

【0162】すなわち、前記本発明の技術においては、DRAMのリフレッシュ特性を向上させることができるものの、データ線側の基板濃度によってしきい値電圧を設定しているため、基板濃度が低いバージョン試験時

の劣化が問題となってきた。また、この技術においては、しきい値電圧の基板バイアス依存性が大きいことに書き込み不良も発生し易い。このような問題は、データ線側の基板濃度が高いためであり、それを低くすれば問題とならない。

【0163】一方、基板濃度を高くすることなく、MISFETのしきい値電圧を高くする別の技術として、ネガティブワード方式または p^+ ゲート方式がある。ネガティブワード方式は、DRAMのメモリセルの非選択（情報保持）時におけるワード線（メモリセル選択MISFETのゲート電極）の電位を基準電位（例えば零（0）V）よりも低くする方式である。この方式を、上記対称構造のメモリセル選択用MISFETに適用すると、基板濃度を高くしなくても、しきい値電圧を高くすることが可能となる。また、 p^+ ゲート方式は、ワード線（すなわち、メモリセル選択用MISFETのゲート電極）に p^+ 型の多結晶シリコン等からなる導体部を設ける構造とする方式である。この方式を、上記対称構造のメモリセル選択用MISFETに適用すると、ゲート電極と半導体基板との仕事関数差によりゲート電極に負の電位を与えたのと同様に作用し、基板濃度を高くしなくても、しきい値電圧を高くすることが可能となる。

【0164】しかし、本発明者の検討結果によれば、ネガティブワード方式や p^+ ゲート方式を上記対称構造のメモリセル選択用MISFETに適用すると、基板濃度を低くすることができるので接合電界を低減できるものの、パンチスルー現象が生じ、サブスレッショルドリークによってリフレッシュ特性が劣化する課題があることを見出した。このパンチスルー現象を防止するために基板濃度（すなわち、チャネル領域の全体的な不純物濃度）をただ単に高くしてゆくと、再び接合電界が高くなり、リフレッシュ特性が劣化する。すなわち、これらの方式を上記対称構造のメモリセル選択MISFETに適用すると、パンチスルー現象の防止と接合電界の低減とがトレードオフの関係にあるため、このままではリフレッシュ特性を向上させることが困難である。

【0165】そこで、本発明の技術思想においては、ネガティブワード方式または p^+ ゲート方式において、データ線側の基板濃度を蓄積電極側の基板濃度よりも高くするものである。すなわち、上記非対称構造にネガティブワード方式または p^+ ゲート方式を適用するものである。この技術思想によれば、上記基板濃度（データ線側の基板濃度およびそれ以外のチャネル領域の基板濃度の各々）を前記実施の形態1～4の場合よりも低くすることができるので、接合電界の増大なしにパンチスルー現象を抑制または防止することができ、さらに、バーンイン試験時の劣化や書き込み不良の発生をも抑制または防止することができる。

【0166】また、本発明の他の技術思想においては、ネガティブワード方式または p^+ ゲート方式において、

データ線側の基板濃度を相対的に高くしないで（すなわち、上記対称構造のまま）、基板バイアスを深く（負側に）するものである。この技術思想によれば、接合電界の増大およびバーンイン試験時の劣化や書き込み不良の発生なしにパンチスルー現象を抑制または防止することができる。

【0167】以下、本発明の技術思想を具体的に説明する。本実施の形態5は、ネガティブワード方式において、データ線側の基板濃度を蓄積電極側の基板濃度よりも高くする技術の説明するものである。

【0168】まず、ネガティブワード方式を図19～図21によって説明する。図19は、メモリセル領域の一部および周辺領域に配置されたセンスアンプ回路SAを示している。メモリセルM1、M2は、データ線DL0、DL1と、これに交差するワード線WL1、WL2との交点近傍に配置されている。個々のメモリセルM1、M2は、前記したメモリセル選択用MISFETQsとこれに直列に接続された情報蓄積用の容量素子Cとを有している。このメモリセルM1のメモリセル選択用MISFETQsのゲート電極は、ワード線WL1の一部で構成され、メモリセル選択用MISFETQsのソース・ドレインを構成する一対の半導体領域の一方はデータ線DL1と電気的に接続されている。メモリセルM1の容量素子Cには、例えばロウ（Low）情報が書き込まれているものとする。また、メモリセルM2のメモリセル選択用MISFETQsのゲート電極は、ワード線WL2の一部で構成され、メモリセル選択用MISFETQsのソース・ドレインを構成する一対の半導体領域の一方はデータ線DL0と電気的に接続されている。メモリセルM2の容量素子Cには、例えばハイ（High）情報が書き込まれているものとする。データ線DL0、DL1は、センスアンプ回路SAと電気的に接続されている。

【0169】図20は、このセンスアンプ回路SAを示している。センスアンプ回路SAは、2つのCMOS（Complementary Metal Oxide Semiconductor）インバータ回路を基本として構成されている。各CMOSインバータ回路は、 n チャネル型のMISFETQSA_nおよび p チャネル型のMISFETQSA_pを有している。各CMOSインバータ回路の各々の n チャネル型のMISFETQSA_nのソースは、共通ソース配線SNLに電気的に接続されている。また、各CMOSインバータ回路の各々の p チャネル型のMISFETQSA_pのソースは、共通ソース配線SNPに電気的に接続されている。一方のCMOSインバータ回路の入力は、他方のCMOSインバータ回路の出力およびデータ線DL0と電気的に接続され、他方のCMOSインバータ回路の入力は、一方のCMOSインバータ回路の出力およびデータ線DL1と電気的に接続されている。

【0170】図21は、各メモリセルM1、M2の選

択、非選択時におけるワード線WL1, WL2およびデータ線DL0, DL1の電位を示した波形図である。図21に示すように、本実施の形態5においては、メモリセルM1, M2の非選択時におけるワード線WL1, WL2の電位(非選択時電位)が、基準電位よりも低く、負になるように設定されている。この非選択電位は、例えば-0.5~-1V程度に設定される。これにより、非選択時において情報蓄積用の容量素子からの電荷のリークを大幅に抑えることができる。非選択時におけるメモリセル選択MISFETのしきい値電圧は、例えば0~0.5V程度に設定される。また、基準電位は、上記センスアンプ回路SAの活性時におけるnチャネル型のMISFETQSAのソースの電位、すなわち、共通ソース配線SNLの電位である。基準電位は、センスアンプ回路SAが活性時にLowレベル(例えば0(零)V)に設定され、センスアンプ回路SAが非選択時にプリチャージ電位に設定されるようになっている。なお、センスアンプ回路SAのpチャネル型のMISFETQSAの共通ソース配線SNPは、センスアンプ回路SAが活性時にはHighレベル電位に設定され、センスアンプ回路SAが非選択時にはプリチャージ電位に設定されるようになっている。

【0171】次に、本実施の形態5のDRAMを有する半導体集積回路装置の断面構造を図22に示す。

【0172】本実施の形態5においては、メモリセル選択用MISFETQsのソース・ドレインを構成する一対の半導体領域8b, 8bのうち、データ線19が電気的に接続されるn⁻型の半導体領域8bを取り囲むように、p型半導体領域41が形成されている。このp型半導体領域41の不純物濃度は、メモリセル選択用MISFETQsの一対の半導体領域8b, 8b間の第1領域(チャネル領域を含む領域)におけるp型ウエル4の不純物濃度よりも高く設定されている。すなわち、上記第1領域には、相対的に不純物濃度の高いp型半導体領域41と、相対的に不純物濃度の低いp型ウエル4とが配置される構造となっている。このp型半導体領域41には、例えばホウ素が導入されている。

【0173】本実施の形態5においては、上記ネガティブワード方式を採用しており、非選択時におけるメモリセル選択用MISFETQsのしきい値電圧を比較的高くできるので、p型半導体領域41の不純物濃度は、パンチスルー現象を抑制または防止する程度に設定されていけば良い。したがって、p型半導体領域41の不純物濃度は、第1領域内の他のp型ウエル4における不純物濃度よりは高いが、前記実施の形態1~4において説明したp型半導体領域27の不純物濃度よりも低くすることができる。本実施の形態5においてはp型半導体領域41の不純物濃度は、例えば $10^{17} \sim 5 \times 10^{17} / \text{cm}^3$ 程度である。また、メモリセル選択用MISFETQsの第1領域においてp型半導体領域41以外の領域に

におけるp型ウエル4(情報蓄積用の容量素子が電気的に接続されたn⁻型半導体領域8bの近傍領域)の不純物濃度(半導体基板1の表面の不純物濃度)は、例えば $5 \times 10^{16} \sim 3 \times 10^{17} / \text{cm}^3$ 程度である。本実施の形態5においては、この情報蓄積用の容量素子が電気的に接続されたn⁻型半導体領域8bの近傍におけるp型ウエル4の不純物濃度が、DRAMの所定の周辺回路におけるnチャネル型のMISFETのチャネル領域のp型ウエルの不純物濃度とほぼ等しい。ただし、チャネル領域に所定の不純物を導入した場合、容量素子側のn⁻型半導体領域8bの近傍におけるp型ウエル4の不純物濃度が、DRAMの所定の周辺回路におけるnチャネル型のMISFETのチャネル領域のp型ウエルの不純物濃度と等しくならない場合もある。上記ゲート電極7aは、前記実施の形態1~4と同様に、例えばn⁺型の多結晶シリコンからなり、その上にはタングステンシリサイド膜が設けられている。なお、ゲート電極7aのn⁺型の多結晶シリコン上に窒化チタンや窒化タングステン等のようなバリア金属膜を介してタングステン等のような金属膜を積み重ねる構造としても良い。

【0174】本実施の形態5のDRAMの動作は、例えば以下の通りである。基板バイアスは、例えば-1V程度とした。ただし、これに限定されるものではなく種々変更可能であり、前記したp型半導体領域41の不純物の打ち込み量に応じて、例えば0~-1Vの範囲で自由に選択することができる。なお、基板バイアスは、例えばp型ウエル4に印加される(以下、同じ)。データ線の電圧は、プリチャージ時が、例えば1V程度、Highレベル時が、例えば2V程度、Lowレベル時が、例えば0Vであるが、これらの電圧も自由に選択できる。蓄積容量部のプレート電圧は、例えばデータ線のプリチャージレベルと同じにしたが、この電圧を自由に選択できる。ここで最も重要な電圧であるゲート電極7a(ワード線)の電圧は、情報保持(非選択)時が、例えば-1V程度で、情報書き込み・読み出し時が、例えば3V程度である。この電圧も自由に選択できる。

【0175】このような動作条件でのリフレッシュ時間の累積度数分布を図23に示す。この図には、比較のため上記対称構造で、かつ、通常のワード線電位設定(メモリセル選択用MISFETのしきい値電圧制御をチャネル領域全面にホウ素を打ち込みして実施した場合であり、ワード線電圧が情報保持時に0V程度で、情報書き込み・読み出し時に3.6V)の場合の結果A0も示した。また、本実施の形態5の結果は符号A1で示した。この図から分かるように、ワーストビットのリフレッシュ時間が30ms程度であるのに対して、本実施の形態5においては、それを150msにすることができ、明らかにリフレッシュ特性が向上していることが分かる。

【0176】次に、本実施の形態5の半導体集積回路装置の製造方法を図24~図29によって説明する。な

お、図24～図29はメモリセル領域の要部断面図を示している。周辺回路領域については、前記実施の形態1～4と同じなので説明を省略する。

【0177】まず、前記実施の形態1～4と同様に、図24に示すように、溝型素子分離用絶縁膜2およびp型ウェル4を形成した後、図25に示すように、半導体基板1の主面上に、例えば厚さ6nm程度の酸化シリコンからなるゲート絶縁膜6を形成する。続いて、例えば $4 \times 10^{20} / \text{cm}^3$ 程度のリンが導入された多結晶シリコン膜、タングステンシリサイド膜および窒化シリコン膜を下層から順に堆積した後、これを前記実施の形態1～4と同様に加工することにより、ゲート電極7aおよびその上にキャップ絶縁膜用の窒化シリコン膜7bを形成する。なお、ゲート長は、例えば0.2μm程度である。その後、半導体基板1に対して、例えば5nm程度の酸化シリコン膜が形成される程度のライト酸化処理を施す。

【0178】次いで、図26に示すように、メモリセル選択用MISFETQsのソース・ドレインを構成する一対の半導体領域のうち、データ線が接続される側の半導体領域が露出され、それ以外が覆われるようなフォトレジスト膜42を形成した後、これをマスクとして、半導体基板1に、例えばホウ素を30keVのエネルギーで $6 \times 10^{12} / \text{cm}^2$ 程度打ち込む。この際、不純物の打ち込み角度（半導体基板1の主面に対して垂直な線に対する不純物イオンの入射角度）を、例えば15°にする。これにより、p型半導体領域41を形成する。この時、実施の形態1～4で述べたように、例えば $1 \times 10^{13} / \text{cm}^2$ 程度のヒ素（As）イオンの打ち込み処理を追加しても良い。この場合、上記対称構造にネガティブワード方式を採用した場合におけるメモリセル選択用MISFETQsのしきい値電圧に対して、そのしきい値電圧を0.2V高くできる。また、蓄積電極側の接合電界を、例えば0.4～0.5MV/cmに設定でき、上記対称構造にネガティブワード方式を採用した場合におけるメモリセル選択用MISFETQsの蓄積電極側の接合電界よりも0.1MV/cm以上低くできる。その結果、接合電界に律則されているリフレッシュ特性を向上させることが可能となる。

【0179】続いて、フォトレジスト膜42を除去した後、図27に示すように、例えばリンを20keVのエネルギーで $2 \times 10^{13} / \text{cm}^2$ 程度打ち込む。この際は、不純物は半導体基板1の主面に対して垂直に打ち込む。これにより、メモリセル選択用MISFETQsのソース・ドレイン用の一対の半導体領域を構成するn⁻型半導体領域8bを半導体基板1に形成する。その後、前記実施の形態1～4と同様に、図28に示すように、窒化シリコン膜43および酸化シリコン膜からなる層間絶縁膜13を下層から順に堆積した後、プラグ用のコンタクトホール14、15を形成し、さらにその内部

に、例えば $4 \times 10^{20} / \text{cm}^3$ 程度のリンが導入されたn⁺型多結晶シリコン膜を埋め込みプラグ16a、16bを形成する。その後、前記実施の形態1～4と同様に、図29に示すように、データ線19および蓄積電極素子の蓄積電極23を形成し、さらに、容量絶縁膜およびプレート電極26を形成することにより、図22に示した半導体集積回路装置を製造する。

【0180】（実施の形態6）本実施の形態6は、p⁺ゲート方式においてデータ線側の基板濃度を蓄積電極側の基板濃度よりも高くする技術を説明するものである。すなわち、本実施の形態6においては、図22に示したゲート電極7aが、例えばp⁺型多結晶シリコン膜（導体部）を有する。このp⁺型多結晶シリコン膜には、例えば $4 \times 10^{20} / \text{cm}^3$ 程度のホウ素が導入されている。前記実施の形態1～4と同様に、このp⁺型のシリコン膜上に、例えばタングステンシリサイド膜を積み重ねる構造としても良いし、窒化チタンや窒化タングステン等のようなバリア金属膜を介してタングステン等のような金属膜を積み重ねる構造としても良い。それ以外は、前記実施の形態5と同じである。

【0181】また、本実施の形態6のDRAMの動作において、前記実施の形態5と異なるのは、DRAMの情報保持時（非選択時）のゲート電極（ワード線）7aの電圧が、例えば0V程度であり、書き込み・読み出し時のゲート電極（ワード線）の電圧が、例えば3.6V程度であることで、それ以外は前記実施の形態5と同じである。本実施の形態6においても、リフレッシュ特性の累積度数分布は、図23の結果A1で示したのとほぼ同じ結果となる。

【0182】（実施の形態7）本実施の形態7は、ネガティブワード方式において、データ線側の基板濃度を相対的に高くしないで、基板バイアスを深く（負側に）する技術を説明するものである。すなわち、図30に示すように、メモリセル選択用MISFETQsのソース・ドレインを構成する一対の半導体領域が、データ線側も、蓄積電極側も、n⁻型半導体領域8bによって形成されている。これ以外は、前記実施の形態5と同じである。

【0183】また、本実施の形態7のDRAMの動作において、前記実施の形態5と異なるのは、基板バイアスを、例えば-1～-3Vの範囲で、好ましくは、-2Vとしたことで、それ以外は前記実施の形態5と同じである。このような動作電圧の場合におけるリフレッシュ時間の累積度数分布の結果を図31の符号A2で示す。この図から分かるように、ワーストビットのリフレッシュ時間が30msであるのに対して、本実施の形態7では、それを150msにすることができ、明らかにリフレッシュ特性が向上していることが分かる。

【0184】このように、本実施の形態7によれば、メモリセル選択用MISFETQsにおける接合電界の場

大およびバーンイン試験時の劣化や書き込み不良の発生なしにパンチスルー現象を抑制または防止することができ、リフレッシュ特性を向上させることが可能となる。

【0185】（実施の形態8）本実施の形態8は、 p^+ ゲート方式において、データ線側の基板濃度を相対的に高くしないで、基板バイアスを深く（負側に）する技術を説明するものである。すなわち、前記実施の形態7の説明で用いた図30において、ゲート電極7aが p^+ 型の多結晶シリコン膜を有する以外は、前記実施の形態7と同じである。ゲート電極7aの p^+ 型の多結晶シリコン膜の不純物濃度、構造および形成方法等は、前記実施の形態6と同じである。

【0186】また、本実施の形態8のDRAMの動作は、DRAMの情報保持時（非選択時）のゲート電極（ワード線）7aの電圧が、例えば0V程度であり、書き込み・読み出し時のゲート電極（ワード線）7aの電圧が、例えば3.6V程度であることで、それ以外は前記実施の形態7と同じである。本実施の形態8におけるリフレッシュ時間の累積度数分布の結果は図31の符号A2と同じである。本実施の形態8においても、リフレッシュ特性を向上させることが可能とである。

【0187】このように、本実施の形態8によれば、ゲート電極（ワード線）7aの電位を特に制御しなくても、前記実施の形態7と同様の効果を得ることが可能となる。

【0188】（実施の形態9）前記実施の形態5、6においては、メモリセル選択用MISFETQsのソース・ドレイン用の一対の n^- 型半導体領域8bのうち、データ線が接続される n^- 型半導体領域8bを覆うようにp型半導体領域41（図22参照）を設けた場合について説明したが、これに限定されるものではない。

【0189】本実施の形態9は、その変形例の1つを説明するものである。すなわち、例えば図32に示すように、メモリセル選択用MISFETQsのソース・ドレイン用の一対の n^- 型半導体領域8bのうち、データ線が接続される n^- 型半導体領域8bの近傍の一部分、パンチスルー現象を抑制または防止するのに効果的な場所に、p型半導体領域41を設けても良い。これ以外は、前記実施の形態5、6と同じである。

【0190】このような本実施の形態9においては、前記実施の形態5、6で得られた効果の他に、以下の効果を得ることが可能となる。すなわち、p型半導体領域41を部分的に設けたことにより、データ線に付随するデータ線容量を低減することができる。したがって、DRAMの性能向上を推進することが可能となる。

【0191】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0192】例えば、本実施の形態では、DRAMに適用した場合について説明したが、メモリ回路と論理回路とが同一半導体基板に設けられたロジック混載形DRAMにも適用可能であり、本実施の形態で示した周辺回路をロジック混載形DRAMの論理回路として扱うことができる。

【0193】また、前記実施の形態5、6においては、図22に示したように、メモリセル選択用MISFETQsのソース・ドレイン用の一対の n^- 型半導体領域8bのうち、データ線が接続される n^- 型半導体領域8bのみを覆うようにp型半導体領域41を設けた場合について説明したが、これに限定されるものではない。例えばその一対の n^- 型半導体領域の両方を覆うようにp型半導体領域を設けても良い。この場合、p型半導体領域を形成するためのイオン打ち込み工程に際してマスク（フォトリソ膜）を形成する必要がないので、工程の簡略化が可能となる。また、情報蓄積用の蓄積容量素子が接続される接続される n^- 型半導体領域のみを覆うようにp型半導体領域を設けても良い。

【0194】また、前記実施の形態9においては、図32に示したように、メモリセル選択用MISFETQsのソース・ドレイン用の一対の n^- 型半導体領域8bのうち、データ線が接続される n^- 型半導体領域8bの近傍のみにp型半導体領域41を設けた場合について説明したが、これに限定されるものではない。例えばその一対の n^- 型半導体領域の両方の近傍（パンチスルー現象を抑制または防止する位置）にp型半導体領域を設けても良い。この場合、p型半導体領域を形成するためのイオン打ち込み工程に際してマスク（フォトリソ膜）を形成する必要がないので、工程の簡略化が可能となる。また、情報蓄積用の蓄積容量素子が接続される接続される n^- 型半導体領域の近傍のみにp型半導体領域を設けても良い。

【0195】また、前記実施の形態6、8においては、DRAMの情報保持時（非選択時）のゲート電極（ワード線）の電圧が、例えば0V程度としたが、これに限定されるものではなく、そのゲート電極の電圧を正または負の電圧にすることもできる。

【0196】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0197】本発明によれば、所望するしきい値電圧を有するメモリセルを備え、同時に情報蓄積用容量素子側の接合電界強度の低減による良好なリフレッシュ特性を有するDRAMを実現することができる。

【0198】また、本発明によれば、メモリセル選択用MISトランジスタのゲート電極下における第1領域における不純物濃度を低くすることができるので、接合電界の増大なしにパンチスルー現象を抑制または防止する

ことができ、さらに、バーンイン試験時の劣化や書き込み不良の発生をも抑制または防止することが可能となる。

【0199】さらに、本発明によれば、基板バイアスを -1V よりも負側にしたことにより、接合電界の増大およびバーンイン試験時の劣化や書き込み不良の発生なしにパンチスルー現象を抑制または防止することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるDRAMを示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるDRAMが形成された半導体チップを実装したDDPの要部断面図である。

【図10】本発明の他の実施の形態であるDRAMを示す半導体基板の要部断面図である。

【図11】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の他の実施の形態であるDRAMを示す半導体基板の要部断面図である。

【図14】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の他の実施の形態であるDRAMを示す半導体基板の要部断面図である。

【図16】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の他の実施の形態であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の一実施の形態である半導体集積回路装置の基本構造を示す半導体基板の要部断面図である。

【図19】本発明の一実施の形態である半導体集積回路装置のメモリセルおよびセンスアンプ回路の説明図である。

【図20】図19のセンスアンプ回路の説明図である。

【図21】図19の回路の動作時の信号波形図である。

【図22】本発明の一実施の形態である半導体集積回路装置の半導体基板の要部断面図である。

【図23】図22の半導体集積回路装置の所定の動作条件でのリフレッシュ時間の累積度数分布を示したグラフ図である。

【図24】図22の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図25】図24に続く半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図26】図25に続く半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図27】図26に続く半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図28】図27に続く半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図29】図28に続く半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図30】本発明の他の実施の形態である半導体集積回路装置における半導体基板の要部断面図である。

【図31】図30の半導体集積回路装置における所定の動作条件でのリフレッシュ時間の累積度数分布を示したグラフ図である。

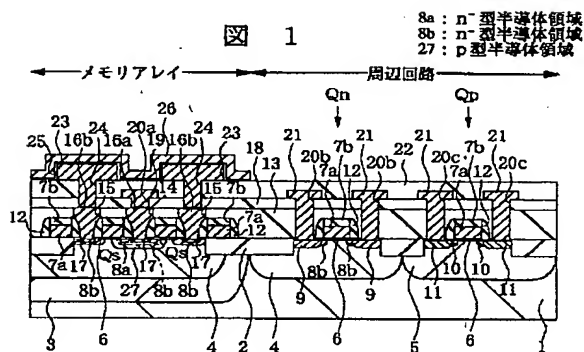
【図32】本発明のさらに他の実施の形態である半導体集積回路装置における半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 溝型素子分離用絶縁膜
- 3 n型埋め込みウエル
- 4 p型ウエル
- 5 n型ウエル
- 6 ゲート絶縁膜
- 7 a ゲート電極
- 7 b 窒化シリコン膜
- 8 a n⁻型半導体領域
- 8 b n⁻型半導体領域
- 8 c n⁻型半導体領域
- 9 n⁺型半導体領域
- 10 p⁻型半導体領域
- 11 p⁺型半導体領域
- 12 サイドウォールスペーサ
- 13 層間絶縁膜
- 14 コンタクトホール
- 15 コンタクトホール
- 16 a プラグ
- 16 b プラグ
- 17 n⁺型半導体領域
- 18 酸化シリコン膜
- 19 データ線
- 20 a コンタクトホール

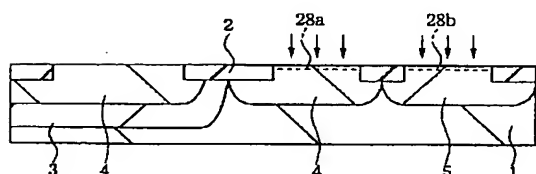
20b コンタクトホール
 20c コンタクトホール
 21 第1層配線
 22 層間絶縁膜
 23 蓄積電極
 24 スルーホール
 25 容量絶縁膜
 26 プレート電極
 27 p型半導体領域
 27a p型半導体領域
 28a ボロニオン
 28b ボロニオン
 29 フォトリソグパターン
 29a フォトリソグパターン
 30 DDP
 31a 半導体チップ
 31a1 回路形成面
 31b 半導体チップ
 31b1 回路形成面
 32 樹脂封止体
 33 リード
 34a 分岐リード

【図1】



【図3】

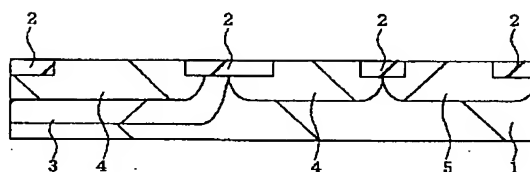
図 3



34b 外部リード
 35 分岐リード
 36 絶縁性フィルム
 37 ワイヤ
 38 バスバーリード
 39 窒素またはフッ素を含んだ領域
 40 p型表面層
 41 p型半導体領域
 42 フォトリソグ膜
 43 窒化シリコン膜
 BP 外部端子 (ボンディングパッド)
 Qs メモリセル選択用MISFET
 Qn nチャネル型MISFET
 Qp pチャネル型MISFET
 SA センスアンプ回路
 M1, M2 メモリセル
 WL1, WL2 ワード線
 DL0, DL1 データ線
 C 容量素子
 20 QSA nチャネル型のMISFET
 QSAp pチャネル型のMISFET
 SNL, SNP 共通ソース線

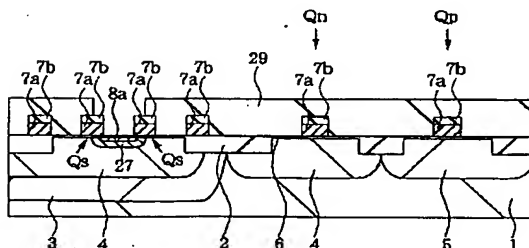
【図2】

図 2



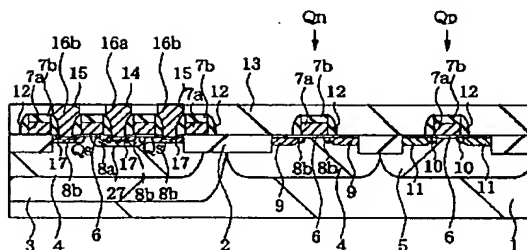
【図4】

図 4



【图 6】

图 6



【图8】

☒ 8

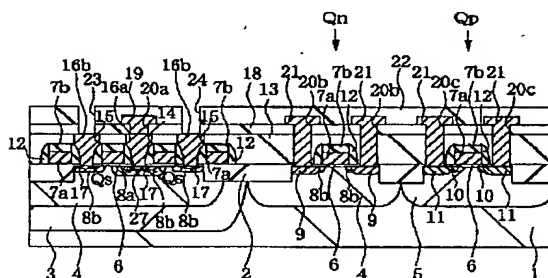
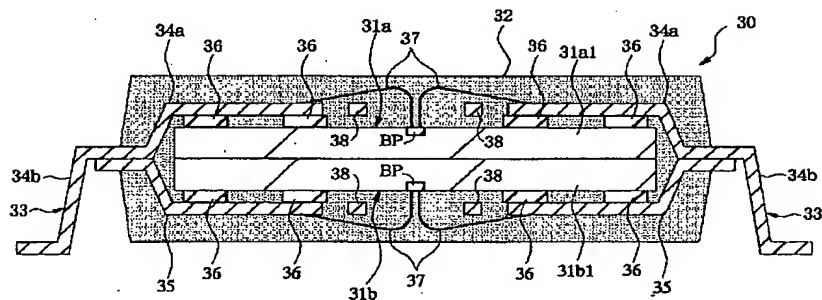
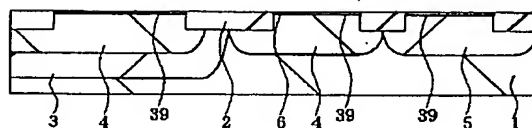
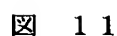


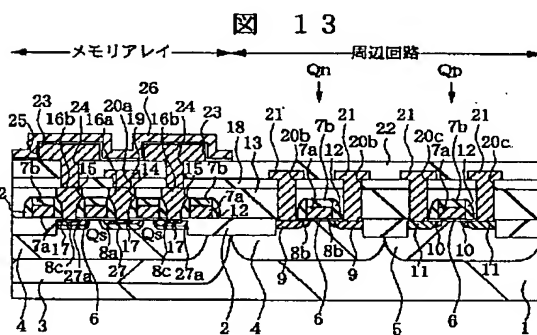
图 9



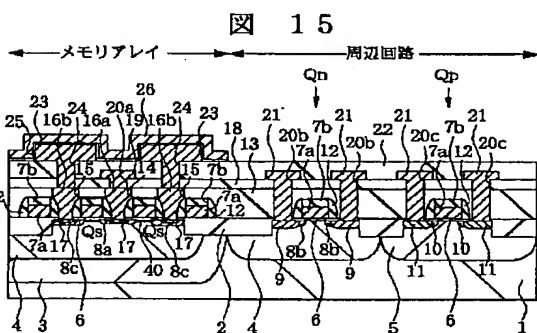
【图 11】



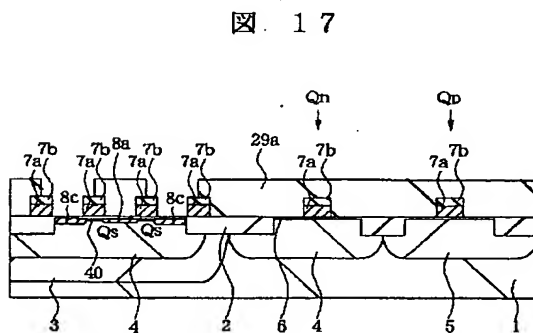
【图 13】



【例 15】

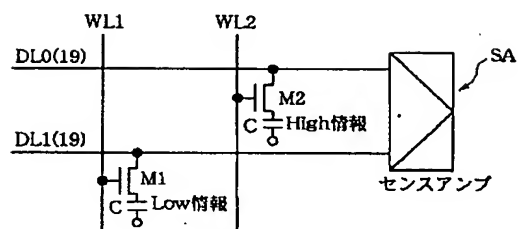


【図 17】



【图 19】

图 19



【図 21】

图 21

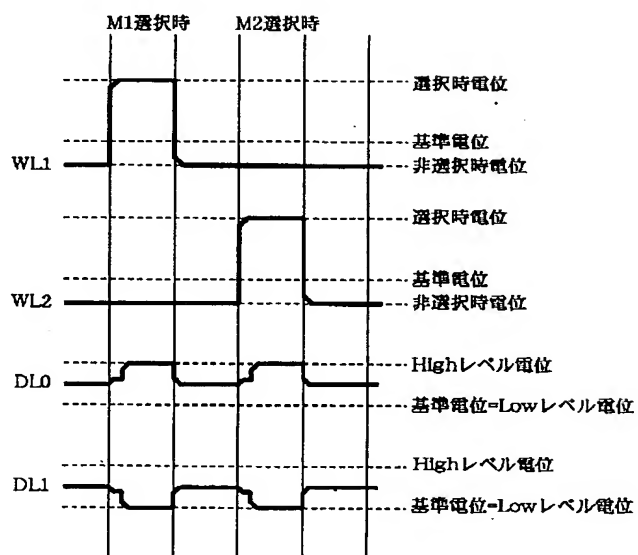
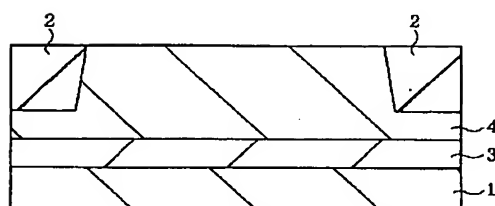
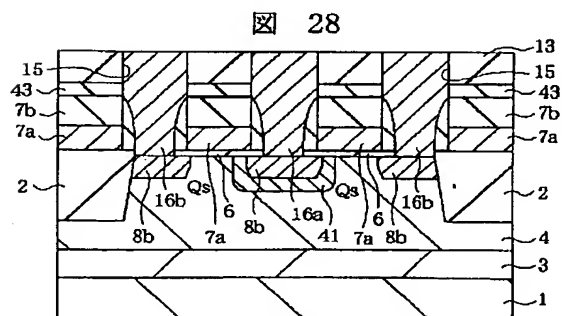


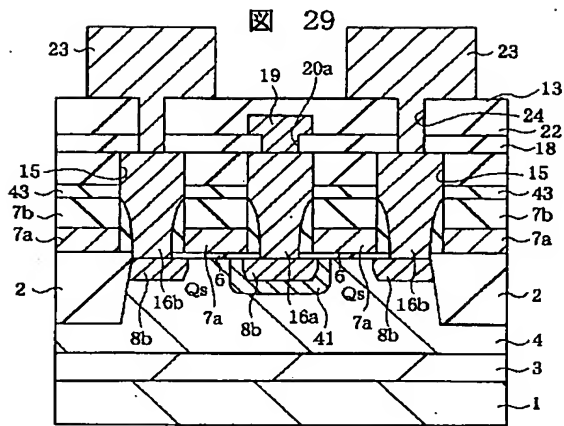
图 24



☒ 23

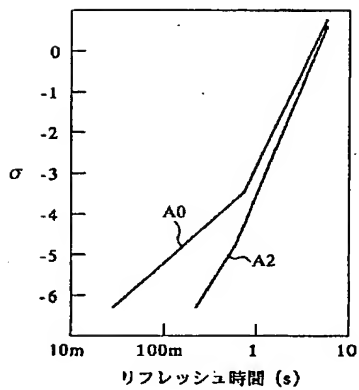


【図 29】



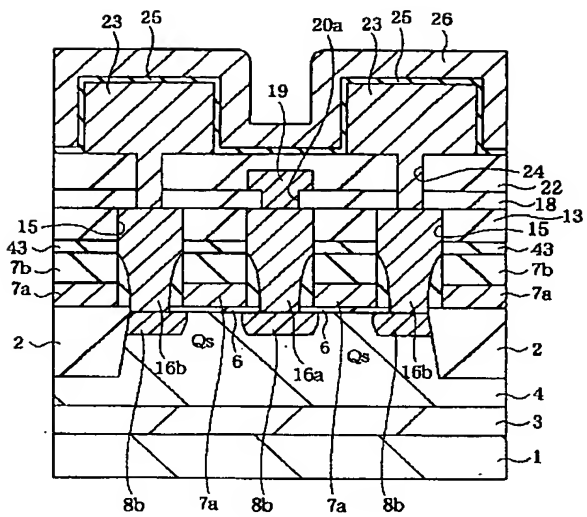
【図 31】

図 31



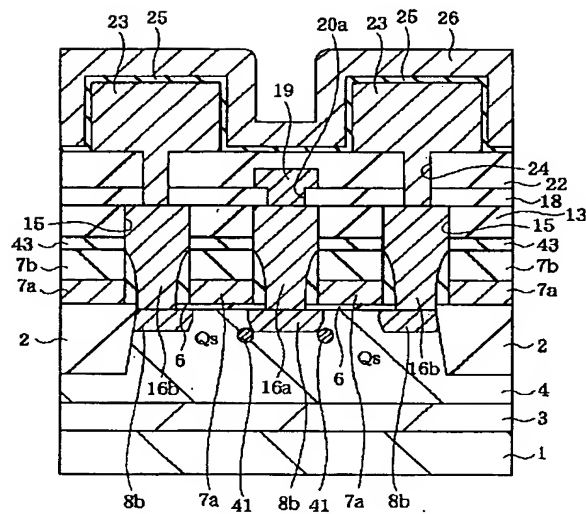
【図 30】

図 30



【図 32】

図 32



フロントページの続き

(72)発明者 土屋 修
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 只木 ▲芳▼▲隆▼
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 渡部 浩三
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 内山 博之
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 池田 良広
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 岡崎 勉
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 朝倉 久雄
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 川北 恵三
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 茂庭 昌弘
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 久保田 勝彦
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 鯨井 裕
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 梶谷 一彦
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 永島 靖
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 中村 正行
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

F ターム(参考) 5F083 AD01 AD10 AD42 AD48 GA02
GA05 GA19 GA28 GA30 JA02
JA06 JA32 JA35 JA39 JA40
JA53 JA56 LA03 LA08 LA10
MA06 MA17 MA19 NA01 PR03
PR06 PR12 PR21 PR33 PR36
PR40 PR43 PR44 PR45 PR46
PR53 PR54 PR55 PR56 ZA06
ZA08 ZA12 ZA23